

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-160387

(43)Date of publication of application : 21.06.1996

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

H01L 29/786

H01L 21/336

(21)Application number : 07-219558

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 04.08.1995

(72)Inventor : YAMAZAKI SHUNPEI  
KOYAMA JUN  
OGATA YASUSHI

(30)Priority

Priority number : 06214258 Priority date : 16.08.1994 Priority country : JP

06270564 07.10.1994

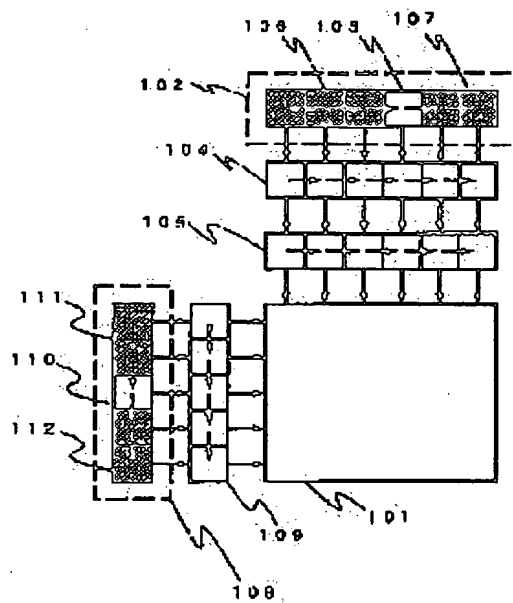
JP

## (54) PERIPHERAL DRIVING CIRCUIT OF LIQUID CRYSTAL ELECTROOPTICAL DEVICE

(57)Abstract:

PURPOSE: To reduce power consumption of a peripheral driving circuit.

CONSTITUTION: A liquid crystal display section 101, a signal line driving circuit and a peripheral driving circuit are provided on the same substrate. When a signal is inputted to a register 103 of the Nth stage of a shift register 102 of the signal line driving circuit, power supply is stopped to a register 106 preceding to the (N-1)th stage in which transmission of a signal is finished and a register 107 succeeding to the (N+1)th stage in which input of a signal is stood by. On the other hand, when a signal is inputted to a register 110 of the Nth stage of a shift register 108 of a scanning line driving circuit, power supply to a register 111 preceding to the (N-1)th stage is stopped and a register 112 of the (N+1)th post stage.



## LEGAL STATUS

[Date of request for examination]

02.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-160387

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 2 0			
	5 5 0			
G 0 9 G 3/36				
H 0 1 L 29/786				
	9056-4M	H 0 1 L 29/ 78	6 1 1	
	審査請求 未請求	請求項の数53	F D (全 26 頁)	最終頁に続く

(21) 出願番号 特願平7-219558

(22) 出願日 平成7年(1995)8月4日

(31) 優先権主張番号 特願平6-214258

(32) 優先日 平6(1994)8月16日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-270564

(32) 優先日 平6(1994)10月7日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 尾形 靖

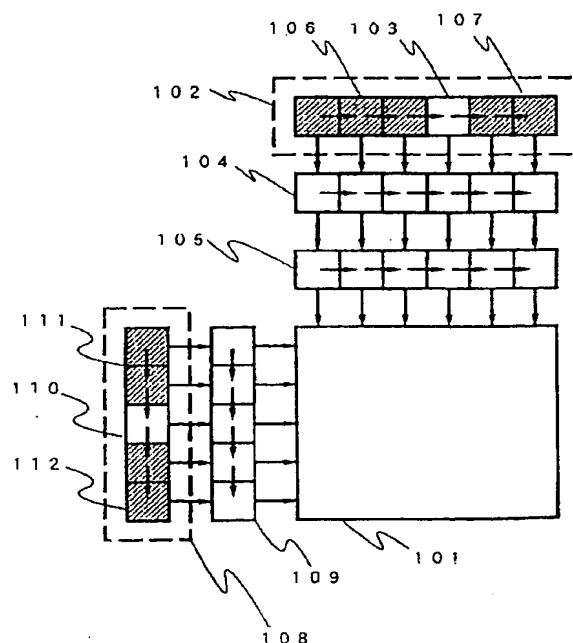
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 液晶電気光学装置の周辺駆動回路

(57) 【要約】

【目的】 液晶電気光学装置の周辺駆動回路の消費電力を削減する。

【構成】 液晶電気光学装置において、液晶表示部 (101) と信号線駆動回路と周辺駆動回路が同一基板状に設けられている。信号線駆動回路のシフトレジスタ (102) の第N段目のレジスタ (103) に信号が入力される際には、信号の伝達を終了している第 (N-1) 段以前のレジスタ (106)、及び信号の入力を待機している第 (N+1) 段目以降のレジスタ (107) への電力供給が停止される。他方、走査線駆動回路のシフトレジスタ (108) の第N段のレジスタ (110) に信号が入力される際には、第 (N-1) 段目以前のレジスタ (111) と、第 (N+1) 段目以降のレジスタ (112) への電力供給が停止される。



## 【特許請求の範囲】

【請求項 1】レジスタを複数段接続して構成されたシフトレジスタ回路と、

前記レジスタに電力を供給する電力供給回路と、  
を有する液晶電気光学装置の周辺駆動回路において、  
前記レジスタの 1 つに信号が入力された場合に、前記電力供給回路は当該レジスタ以外の少なくとも 1 つのレジスタへの電力供給を停止することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 2】請求項 1 において、前記シフトレジスタ回路は、P チャネル型薄膜トランジスタと抵抗により構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3】請求項 1 において、前記電力供給回路は、前記シフトレジスタ回路の出力に従って、前記レジスタへの電力供給を制御することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4】請求項 1 において、前記電力供給回路は、P チャネル型薄膜トランジスタと、抵抗と、コンデンサーとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 5】請求項 1 において、前記電力供給回路の消費電力は、前記シフトレジスタ回路の消費電力以下であることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 6】レジスタを複数段接続して構成されたシフトレジスタ回路と、

前記レジスタに電力を供給する電力供給回路と、  
を有する液晶電気光学装置の周辺駆動回路において、  
第 N 段目〔N は自然数〕のレジスタに信号が入力された場合に、前記電力供給回路は、第 N 段以外のレジスタの少なくとも 1 つのレジスタへの電力供給を停止することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 7】請求項 6 において、前記シフトレジスタ回路は、P チャネル型薄膜トランジスタと抵抗により構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 8】請求項 6 において、前記電力供給回路は、前記シフトレジスタ回路の出力に従って、前記レジスタへの電力供給を制御することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 9】請求項 6 において、前記電力供給回路は、P チャネル型薄膜トランジスタと、抵抗と、コンデンサーとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 10】請求項 6 において、前記電力供給回路の消費電力は、前記シフトレジスタ回路の消費電力以下であることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 11】レジスタを複数段接続して構成されたシ

フトレジスタ回路と、

前記レジスタに電力を供給する電力供給回路と、  
を有する液晶電気光学装置の周辺駆動回路において、  
第 N 段目〔N は自然数〕のレジスタに信号が入力された場合に、前記電力供給回路は、第 (N-2) 段以前のレジスタと、第 (N+2) 段以降のレジスタへの電力供給を停止することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 12】請求項 11 において、前記シフトレジスタ回路は、P チャネル型薄膜トランジスタと抵抗で構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 13】請求項 11 において、前記電力供給回路は、前記シフトレジスタ回路の出力に従って、前記レジスタへの電力供給を制御することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 14】請求項 11 において、前記電力供給回路は、P チャネル型薄膜トランジスタと、抵抗と、コンデンサーとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 15】請求項 11 において、前記電力供給回路の消費電力は、前記シフトレジスタ回路の消費電力以下であることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 16】レジスタを複数段接続して構成されたシフトレジスタ回路と、

前記レジスタに電力を供給する電力供給回路と、  
を有する液晶電気光学装置の周辺駆動回路において、  
第 N 段目〔N は自然数〕のレジスタに信号が入力された場合に、前記電力供給回路は、第 (N-x) 段〔 $x \geq 2$ 〕以前のレジスタと、第 (N+y) 段〔 $y \geq 2$ 〕以降のレジスタへの電力供給を停止することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 17】請求項 16 において、前記シフトレジスタ回路は、P チャネル型薄膜トランジスタと抵抗により構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 18】請求項 16 において、前記電力供給回路は、前記シフトレジスタ回路の出力に従って、前記レジスタへの電力供給を制御することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 19】請求項 16 において、前記電力供給回路は、P チャネル型薄膜トランジスタと、抵抗と、コンデンサーとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 20】請求項 16 において、前記電力供給回路の消費電力は、前記シフトレジスタ回路の消費電力以下であることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 21】レジスタが複数段接続されて構成された

ブロックと、  
該ブロックを複数段接続されて構成されたシフトレジスタ回路と、  
前記ブロック毎に接続され、前記レジスタに電力を供給する電力供給回路と、  
を有する液晶電気光学装置の周辺駆動回路において、  
前記ブロックの 1 つを構成するレジスタに信号が入力された場合に、前記電源供給回路は、当該ブロック以外への電力供給を停止することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 2 2】請求項 2 1 において、前記シフトレジスタ回路は、P チャネル型薄膜トランジスタと抵抗とにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 2 3】請求項 2 1 において、前記電力供給回路の消費電力は、前記シフトレジスタ回路の消費電力以下であることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 2 4】画素部の画素を特定する液晶電気光学装置の周辺駆動回路において、  
該周辺駆動回路に電力を供給する電力供給駆動回路を有し、  
前記電力供給回路は、前記画素を特定している周辺駆動回路以外の少なくとも一部分への電力供給を停止することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 2 5】請求項 2 4 において、前記周辺駆動回路は、一導電型の薄膜トランジスタと、抵抗と、コンデンサとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 2 6】請求項 2 4 において、前記電力供給回路は、一導電型の薄膜トランジスタと、抵抗と、コンデンサとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 2 7】画素部の画素を特定する液晶電気光学装置の周辺駆動回路において、  
該周辺駆動回路に電力を供給する電力供給駆動回路を有し、  
該電力供給回路は、前記画素を特定している周辺駆動回路以外の少なくとも一部分への供給電圧を下げることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 2 8】請求項 2 7 において、周辺駆動回路は、一導電型の薄膜トランジスタと抵抗で構成されたシフトレジスタを有することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 2 9】請求項 2 7 において、前記電力供給回路は、一導電型の薄膜トランジスタと抵抗とコンデンサにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 0】液晶光学装置の画素部を駆動する周辺駆動回路において、

走査線駆動回路又は信号線駆動回路の少なくとも何れか 1 つと、

前記周辺駆動回路に電力を供給する電力供給駆動回路とを有し、

前記走査線駆動回路が電圧を前記画素部の第 N 番目〔N は自然数〕の画素に印加する場合に、又は、前記信号線駆動回路により、ビデオ信号をサンプリングして前記画素部の第 N 番目の画素に出力する場合に、

前記電力供給回路は、前記周辺駆動回路に対して、第 (N + 1) 番目以降の画素に対応する部分と、第 (N - 2) 番目以前の画素に対応する部分へ供給する電力を低下することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 1】請求項 3 0 において、周辺駆動回路は、一導電型の薄膜トランジスタと抵抗で構成されたシフトレジスタを有することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 2】請求項 3 0 において、前記電力供給回路は、一導電型の薄膜トランジスタと抵抗とコンデンサにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 3】液晶光学装置の画素部を駆動する周辺駆動回路において、  
前記周辺駆動回路に電力を供給する電力供給駆動回路を有し、

前記画素部の第 N 番目〔N は自然数〕の画素に電圧が印加される場合に、又は、前記画素部の第 N 番目の画素にサンプリングされたビデオ信号が書き込まれる場合に、  
前記電力供給回路は、前記周辺駆動回路に対して、の第 (N + x) 番目〔x ≥ 1〕の画素に対応する部分と、第 (N - y) 番目〔y ≥ 2〕の画素に対応する部分へ供給する電力を低下することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 4】請求項 3 3 において、前記周辺駆動回路は、一導電型の薄膜トランジスタと、抵抗とにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 5】請求項 3 3 において、前記電力供給回路は、一導電型の薄膜トランジスタと、抵抗と、コンデンサとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 6】複数の画素がマトリクス上に配置され、前記画素を少なくとも 1 つ含むように複数のブロックに分割された画素部を駆動するための液晶電気光学装置の周辺駆動回路において、

該周辺駆動回路に電力を供給する電力供給回路を有し、  
前記ブロック中に、電圧を印加する、又はサンプリングされたビデオ信号を書き込まれる画素が存在しない場合に、あるいはサンプリングされたビデオ信号が書き込まれる画素が存在しない場合に、

前記電力供給回路は、前記周辺駆動回路のうち、前記ブロック中の画素に対応する少なくとも一部に対して電力供給が停止されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 7】請求項 3 6 において、前記周辺駆動回路は、一導電型の薄膜トランジスタと、抵抗とにより構成されるカウンタとデコーダとを有することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 8】請求項 3 6 において、前記電力供給回路は、一導電型の薄膜トランジスタと、抵抗と、コンデン

サとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 3 9】複数の画素がマトリクス状に配置され、前記画素を少なくとも 1 つ含むように複数のブロックに分割された画素部を駆動するための液晶電気光学装置の周辺駆動回路において、  
該周辺駆動回路に電力を供給する電力供給回路を有し、  
第 N 番目〔N は自然数〕のブロック中に、電圧が印加される画素が存在する場合に、又はサンプリングされたビデオ信号が書き込まれる画素が存在する場合に、  
前記電力供給回路は、第 (N + 1) 番目以降のブロック及び (N - 1) 番目以前の前記ブロックの、少なくとも一つのブロックに含まれる画素に対応する周辺駆動回路への電力供給を停止することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4 0】請求項 3 9 において、前記周辺駆動回路は、一導電型の薄膜トランジスタと、抵抗とにより構成されたカウンタとデコーダとを有することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4 1】請求項 3 9 において、前記電力供給回路は、一導電型の薄膜トランジスタと、抵抗と、コンデン

サとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4 2】複数の画素がマトリクス状に配置され、前記画素を少なくとも 1 つ含むように複数のブロックに分割された画素部を駆動するための液晶電気光学装置の周辺駆動回路において、  
該周辺駆動回路に電力を供給する電力供給回路を有し、  
第 N 番目〔N は自然数〕のブロック中に、前記周辺駆動回路により、電圧が印加される画素が存在する場合に、  
又は前記周辺駆動回路により、サンプリングされたビデオ信号が書き込まれる画素が存在する場合に、  
前記電力供給回路は、第 (N + x) 番目〔x ≥ 1〕以降のブロックと第 (N - y) 番目〔y ≥ 1〕以前のブロックの少なくとも一つのブロックに含まれる画素に対応する周辺駆動回路への電力供給を停止することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4 3】請求項 4 2 において、前記周辺駆動回路は、一導電型の薄膜トランジスタと、抵抗とにより構成されたカウンタとデコーダとを有することを特徴とする

液晶電気光学装置の周辺駆動回路。

【請求項 4 4】請求項 4 2 において、前記電力供給回路は、一導電型の薄膜トランジスタと、抵抗と、コンデンサとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4 5】複数の画素がマトリクス上に配置され、前記画素を少なくとも 1 つ含むように複数のブロックに分割された画素部を駆動するための液晶電気光学装置の周辺駆動回路において、

10 該周辺駆動回路に電力を供給する電力供給回路を有し、  
前記ブロック中に、電圧を印加する、或いはサンプリングされたビデオ信号が書き込まれる画素が存在しない場合に、あるいはサンプリングされたビデオ信号が書き込まれる画素が存在しない場合に、  
前記電力供給回路は、前記周辺駆動回路のうち、前記ブロック中の画素に対応する少なくとも一部に対して供給する電力を下げることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4 6】請求項 4 5 において、前記周辺駆動回路は、一導電型の薄膜トランジスタと、抵抗とにより構成されるカウンタとデコーダとを有することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4 7】請求項 4 5 において、前記電力供給回路は、一導電型の薄膜トランジスタと、抵抗と、コンデンサとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4 8】複数の画素がマトリクス状に配置され、前記画素を少なくとも 1 つ含むように複数のブロックに分割された画素部を駆動するための液晶電気光学装置の周辺駆動回路において、

30 該周辺駆動回路に電力を供給する電力供給回路を有し、  
第 N 番目〔N は自然数〕のブロック中に、前記周辺駆動回路により、電圧が印加される画素が存在する場合に、  
或いは前記周辺駆動回路により、サンプリングされたビデオ信号が書き込まれる画素が存在する場合に、  
前記電力供給回路は、第 (N + 1) 番目以降のブロック及び (N - 1) 番目以前の前記ブロックの、少なくとも一つのブロックに含まれる画素に対応する周辺駆動回路への供給電力を下げることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 4 9】請求項 4 8 において、前記周辺駆動回路は、一導電型の薄膜トランジスタと、抵抗とにより構成されたカウンタとデコーダとを有することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 5 0】請求項 4 8 において、前記電力供給回路は、一導電型の薄膜トランジスタと、抵抗と、コンデンサとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項 5 1】複数の画素がマトリクス状に配置され、前記画素を少なくとも 1 つ含むように複数のブロックに



分割された画素部を駆動するための液晶電気光学装置の周辺駆動回路において、

前記周辺駆動回路に電力を供給する電力供給回路を有し、

第N番目〔Nは自然数〕のブロック中に、前記周辺駆動回路により、電圧が印加される画素が存在する場合に、又は前記周辺駆動回路により、サンプリングされたビデオ信号が書き込まれる画素が存在する場合に、前記電力供給回路は、第(N+x)番目〔x $\geq$ 1〕以降のブロックと第(N-y)番目〔y $\geq$ 1〕以前のブロックの少なくとも一つのブロックに含まれる画素に対応する周辺駆動回路への供給電力ををさげること、を特徴とする液晶電気光学装置の周辺駆動回路。

【請求項52】請求項51において、前記周辺駆動回路は、一導電型の薄膜トランジスタと、抵抗とにより構成されたカウンタとデコーダとを有することを特徴とする液晶電気光学装置の周辺駆動回路。

【請求項53】請求項51において、前記電力供給回路は、一導電型の薄膜トランジスタと、抵抗と、コンデンサとにより構成されることを特徴とする液晶電気光学装置の周辺駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本明細書で開示する発明は、液晶電気光学装置の画素部を駆動するための周辺駆動装置に関するものである。特に、低い消費電力で動作すべき液晶電気光学装置の周辺駆動回路に関するものである。

【0002】

【従来例】図29は一般的に知られている液晶電気光学装置の概略構成図であり、液晶電気光学装置は、画像を表示する画素マトリックス部(2901)と、画素マトリックス部(2901)を駆動するための信号線駆動回路(2902)と走査線駆動回路(2903)により構成されている。画素マトリックス(2901)は走査線(2904)、信号線(2905)により、それぞれ走査線駆動回路(2903)、信号線駆動回路(2902)に接続されている。

【0003】画素マトリックス部(2901)において、走査線(2904)と信号線(2905)とはマトリックス状に配置されている。特に、アクティブマトリックス型の液晶表示装置において、その交差部分に、画素薄膜トランジスタ(以下、薄膜トランジスタをTFTと略す)(2906)が配置されている。画素TFT(2906)のゲート電極は走査線(2904)に接続され、ソース電極は信号線(2905)に接続され、ドレイン電極は液晶容量(2907)の画素電極に接続されている。液晶容量(2907)には保持容量(2908)が並列に接続されている。液晶容量(2907)は大きな電気容量値をとりえないため、保持容量(2908)において、電荷を保持する。

【0004】信号線駆動回路(2902)は、シフトレジスタ回路(2909)、バッファ回路(2910)、サンプリング回路(2911)で構成されている。他方、走査線駆動回路(2903)は、シフトレジスタ(2916)とNAND回路インバータ型バッファ(2917)により構成されている。

【0005】図30(a)、図30(b)はシフトレジスタ回路(2909)、(2916)の回路図であり、図30(a)はクロックインバータ(3001)により構成したシフトレジスタ回路の回路図であり、図30(b)はトランスミッションゲート(3002)により構成したシフトレジスタ回路の回路図である。

【0006】画素マトリックス部(2901)に画像を表示する際には、信号線駆動回路(2902)において、ビデオ信号に同期した信号が入力端子(2912)からシフトレジスタ(2909)に入力される。シフトレジスタ(2909)のレジスタにより、この入力信号はクロックパルスに従って順次にシフトされて、インバータ形式のバッファ回路(2910)に入力されて、記憶される。バッファ回路(2910)により、サンプリング回路(2911)のアナログスイッチ(2913)はオン、オフが制御される。

【0007】アナログスイッチ(2913)がオン状態になると、ビデオ信号線(2915)と保持容量(2914)が短絡されて、保持容量(2914)に電荷が充電されて、オフ状態になると、保持容量(2914)にサンプリングされたビデオ信号として電荷が保持される。再び、アナログスイッチ(2913)がオン状態になると、保持容量(2914)の電荷が放電して、信号線(2905)を介して、画素TFT(2906)にサンプリングされたビデオ信号が伝達される。

【0008】また、走査線駆動回路(2903)において、垂直同期信号に同期した入力信号と、水平同期信号に同期したクロックに従って、シフトレジスタ(2916)とNAND回路インバータ型バッファ(2917)により、走査線(2904)を順次に駆動して、画素TFT(2906)のオン・オフを制御する。

【0009】走査線(2904)により、画素TFT(2906)のゲート電極にスレッショルド電圧を越える電圧が印加されると、画素TFT(2906)がオン状態となり、画素TFT(2906)のドレイン電極とソース電極は短絡状態となる。この状態で、保持容量(2914)から信号線(2905)を介して、画素TFT(2906)にサンプリングされたビデオ信号が伝達されて、液晶容量(2907)と保持容量(2908)が充電される。画素TFT(2906)がオフ状態になると、画素TFT(2906)のドレイン電極は開放状態となり、液晶容量(2907)と保持容量(2908)に蓄積された電荷は次に画素TFT(2906)がオン状態になるまで保持される。

【0010】なお、信号線駆動回路（2903）、走査線駆動回路（2902）において、シフトレジスタ回路（2909）、（2916）の代わりに、デコーダ回路を用いることもできる。

【0011】図31はデコーダ回路を用いて構成した信号線駆動回路の回路図である。この場合には、画素とアドレスを1対1に対応させる。ビデオ信号を画素に書き込む場合には、アドレス信号がアドレス信号入力線（3101）を介して信号線駆動回路に入力される。アドレス信号に従って、NANDゲート（3102）は信号線を選択して、信号をアナログスイッチ（3103）に出力する。アナログスイッチ（3103）において、保持容量（3104）のオン・オフがせいぎよされて、ビデオ信号がサンプリングされて、保持容量（3104）に電荷として保持される。

【0012】或いは、信号線駆動回路（2903）、走査線駆動回路（2902）において、シフトレジスタ回路（2909）、（2916）の代わりに、デコーダ回路とカウンタ回路を用いることもできる。

【0013】図32はデコーダ回路とカウンタ回路により構成した信号線駆動回路の回路図である。カウンタ回路（3202）はクロックパルス入力（3201）を計数して、この計数結果をアドレス信号として、NANDゲート（3203）に入力する。アドレス信号に従って、NANDゲート（3203）は信号線を選択して、対応するアナログスイッチ（3204）に信号を入力する。アナログスイッチ（3204）において、NANDゲート（3203）からの信号が入力されると、ビデオ信号をサンプリングして、保持容量（3205）に電荷として保持する。

【0014】従来、画素マトリクスが形成された透明基板上に、液晶電気光学装置の周辺駆動回路を、CMOS回路で作製している。図33はCMOS回路により構成されたシフトレジスタの回路構成図であり、図30（a）に示すシフトレジスタに対応する。

【0015】CMOS回路により周辺回路を構成した場合には、Pチャネル型TFTとNチャネル型TFTを同一基板上に製造するために、工程が増加するという問題点が生ずる。更に、Pチャネル型TFTとNチャネル型TFTで特性が揃い難いという特性上の欠点がある。

【0016】従来では、上記の問題を解消するために、周辺駆動回路を一導電型のTFTと抵抗等の素子により構成して、工程の簡略化、素子の特性の均一化を図っている。

【0017】図34はPチャネル型TFTと抵抗とにより構成されたシフトレジスタ回路の構成図である。また、図35はPチャネル型TFTと抵抗を用いた基本ゲート回路の構成図であり、NAND回路、NOR回路、インバータ回路の構成図を示す。これらの基本回路により、JKフリップフロップやカウンタ回路等を構成す

ることができる。図36はJKフリップフロップの構成図であり、図37は4ビットカウンタ回路の構成図である。

【0018】図37に示す4ビットカウンタ回路は、電源、クリア、クロック、イネーブルそれぞれの入力信号に従って、リップルキャリの出力信号、カウンタのビット出力Q1～Q4、その反転出力信号をそれぞれ作成する。

【0019】

10 【発明が解決しようとする課題】しかしながら、Pチャネル型TFTと抵抗を用いた周辺駆動回路は消費電力が大きいという問題点がある。例えば、図34に示したシフトレジスタ回路は、Pチャネル型TFT（3401）がオンになると、電源（3402）とグランド（3403）が抵抗（3404）で短絡され貫通電流が流れることになり、消費電力が大きくなる。

【0020】抵抗（3404）の抵抗値を大きくして、電流を流さないようにすると、放電しにくくなり、電源電位からグランド電位に変化するのが遅くなり、周波数特性が悪くなる。従来では、周波数特性を優先させているために、抵抗（3404）を大きな値にすることが困難である。

【0021】消費電力が大きいということは、携帯情報機器等の電子機器に利用する際に大きな障害になる。

【0022】本発明の目的は、消費電力の大きな周辺駆動回路を利用しても、液晶電気光学装置全体を駆動する際に必要とされる消費電力を低減することが可能な液晶電気光学装置の周辺駆動回路を提供することにある。

【0023】

30 【課題を解決するための手段及び作用】上述の問題点を解決するために、本発明に係る液晶電気光学装置の周辺駆動回路の構成は、レジスタを複数段接続して構成されたシフトレジスタ回路と、前記レジスタに電力を供給する電力供給回路と、を有する液晶電気光学装置の周辺駆動回路において、前記レジスタの1つに信号が入力された場合に、前記電力供給回路は当該レジスタ以外の少なくとも1つのレジスタへの電力供給を停止することを特徴とする。

【0024】液晶電気光学装置の周辺駆動回路のシフトレジスタは、クロック信号に同期して、1個の信号をレジスタで遅延して、順次に伝達している。従って、シフトレジスタとして機能しているのは全体の一部である。そのため、本発明は、機能しているレジスタのみに電力を供給して、周辺駆動回路全体の消費電力を削減するようにしている。

【0025】上記の構成を有する周辺駆動回路の作用を図1に基づいて説明する。図1は液晶表示装置の構成図であり、液晶表示部（101）と信号線駆動回路と周辺駆動回路が同一基板状に設けられている。信号線駆動回路において、複数段のレジスタから成るシフトレジスタ

(102)、バッファ(104)、サンプラ(105)が順次に接続され、サンプラ(105)の出力は信号線を介して、液晶表示部(101)に接続されている。他方、走査線駆動回路において、シフトレジスタ(108)、バッファ(109)が順次に接続されて、バッファ(109)の出力は走査線を介して、液晶表示部(101)に接続されている。

【0026】信号線駆動回路において、シフトレジスタ(102)の第N段目のレジスタ(103)に信号が入力される際には、バッファ(104)の最終段と、サンプラ(105)に影響がないように、電力を保ちながら、信号の伝達を終了した後の第(N-1)段以前のレジスタ(106)への電力供給を停止することが可能である。

【0027】さらに、信号の入力を待機している第(N+1)段目以降のレジスタ(107)への電力供給を停止することも可能である。

【0028】走査線駆動回路のシフトレジスタ(108)についても同様に、バッファ(109)に影響がないように電力を保ちながら、第N段のレジスタ(110)に入力信号があるときは、第(N-1)段目以前のレジスタ(111)と、第(N+1)段目以降のレジスタ(112)への電力供給を停止することが可能である。

【0029】なお、周辺駆動回路のシフトレジスタにおいて、隣り合う2段のレジスタの出力が同時にアクティブになるように構成した場合には、第N段目のレジスタに入力信号が到達した時点で、第(N-1)段のレジスタの出力もアクティブであるため、第(N-2)段以前のレジスタへの電力供給を停止することができる。

【0030】更に、パルス幅を確実にクロックの1周期分する場合には、第N段目のレジスタに信号が入力した時点で、アクティブ信号を出力していない第(N+1)段目のレジスタに電源を供給し始めて、次のクロック変化に基づいて、第(N+1)段目のレジスタに信号を確実に伝達するようする。従って、第N段目のレジスタに信号が入力された時点で、第(N+2)段以降のレジスタへの電力供給を停止することが可能である。なお、素子遅延により、入力信号のパルス幅を変化することが許される場合には、第(N+1)段目以降のレジスタへの電力供給を停止することが可能になる。

【0031】消費電力を削減するよりも素子数を減少することを優先させる場合など、必ずしも、第N段目のレジスタに入力信号が到達した場合に、電力供給を停止するレジスタは第(N-2)段目以前と第(N+2)段目以降のレジスタに限らなくてよい。

【0032】例えば、第(N-2)段目のレジスタには電力供給を継続して、第(N-3)段目、第(N-4)段目等のレジスタには電力供給をしないことも可能である。従って、第(N-x)段( $x \geq 2$ )のシフトレジスタ

タへの電力供給を停止することも可能である。

【0033】また、第N段目のレジスタに入力信号が到達した場合に、第(N+2)段目のレジスタに電源を供給して、第(N+3)段、第(N+4)段等のレジスタには電力を供給しないことも可能である。従って、第(N+y)段目( $y \geq 2$ )のレジスタへの電力供給を停止することも可能である。

【0034】例えば、シフトレジスタ回路や電力供給回路をPチャネル型薄膜トランジスタと抵抗により構成した場合には、それぞれの回路は消費電力が大きいが、機能すべき部分のみを作動しているため、全体として消費電力を抑えることができる。特に、常時作動している電力供給回路の消費電力はシフトレジスタ回路の消費電力よりも小さくすることが好ましい。

【0035】また、本発明に係る液晶電気光学装置の周辺駆動回路の他の構成は、レジスタが複数段接続されて構成されたブロックと、該ブロックを複数段接続されて構成されたシフトレジスタ回路と、前記ブロック毎に接続され、前記レジスタに電力を供給する電力供給回路と、を有する液晶電気光学装置の周辺駆動回路において、前記ブロックの1つを構成するレジスタに信号が入力された場合に、前記電源供給回路は、当該ブロック以外への電力供給を停止することを特徴とする。

【0036】上記の構成を有する周辺駆動回路は、シフトレジスタにおいて、を任意の数のレジスタをまとめてブロック化して、ブロック毎に電力供給を制御する。この構成を採用することにより、レジスタを1段ずつ制御するよりも、制御回路を簡素にすることができる。

【0037】上記の構成を有する周辺駆動回路の作用を図2に基づいて説明する。シフトレジスタ(201)のレジスタを何段かまとめて、レジスタブロック(202)~(204)を形成する。制御回路(205)はレジスタブロック毎に制御信号(206)~(208)を供給する。

【0038】シフトさせるべき入力信号(209)が入力されるレジスタが存在するシフトレジスタブロック(204)には、電力を供給する制御信号(208)が入力されて、電力が供給される。また、シフトさせるべき入力信号を伝達した後のレジスタブロック(202)と、信号の入力を待機しているレジスタブロック(203)には、電力供給を停止する信号(206)、(207)が入力されて、電力供給が停止される。

【0039】上記の構成は、2つのブロック間での入力信号の受け渡している期間は、これらのブロックに電力を供給しなければならないが、入力信号があるブロック1つに対して電力を供給し、入力信号がないブロックに対する電力供給は停止してよい。

【0040】更に、本発明に係る液晶電気光学装置の周辺駆動回路の他の構成は、画素部の画素を特定する液晶電気光学装置の周辺駆動回路において、該周辺駆動回路

に電力を供給する電力供給駆動回路を有し、前記電力供給回路は、前記画素を特定している周辺駆動回路以外の少なくとも一部分への電力供給を停止すること、或いは供給電力を下げることを特徴とする。

【0041】上記の構成を有する液晶電気光学装置の周辺駆動回路は、周辺駆動回路の機能していない部分、即ち画素を特定していない部分は、電力供給を停止する、或いは供給電力を下げるようにしている。

【0042】本明細書においては、画素を特定すると、信号線駆動回路において、ビデオ信号をサンプリングして、保持容量を充電することをいう。或いは、走査線駆動回路において、走査線に接続された画素TFTをオン状態にすることをいう。

【0043】最初に画素を特定する回路を第1番目の回路として、順次に符号を付す。第N番目の回路に入力信号が到達すると、第N番目の回路の出力がアクティブとなると同時に、第(N-1)番目の回路もアクティブ出力となっている。従って、これら以外の回路では、アクティブ出力となっていないので、供給電力を下げる事ができる。即ち、第(N-2)番目以前の回路部分への電力供給を停止する、或いは供給電力を下げる事ができる。更に、第(N+1)番目以降の回路部分への電力供給を停止する、或いは供給電力を下げる事ができる。

【0044】なお、第(N+1)番目の回路への電力供給はそのまま、第(N+2)番目、第(N+3)番目等の回路部分への電力供給を停止する、或いは供給電力を下げる事ができる。従って、第(N+x)段〔x≥1〕の回路への電力供給を停止する、或いは供給電力を下げることも可能である。

【0045】また、第(N-2)段目の回路に電源を供給して、第(N-2)段、第(N-3)段等の回路には電力を供給しない、或いは供給電力を下げることも可能である。従って、第(N-y)段目〔y≥2〕の回路への電力供給を停止する、或いは供給電力を下げることも可能である。

【0046】液晶を駆動するには、液晶の透過率-電圧特性から電位差で5V程度必要となる。ところが、液晶に直流電圧を印加したままであると劣化するため、交流駆動にする必要がある。電位差は10数V必要となり、周辺駆動回路の電源電圧は、20V前後必要となる。

【0047】従って、周辺駆動回路のうち、画素を特定していない部分では、供給電力を20V以下にすることで、消費電力を削減できる。或いは、画素を特定していない部分に電力供給を停止することで、最小限必要な消費電力とすることができる。なお、周辺駆動回路を20V以下で動作させて、画素を特定する場合にのみ、20Vの電源電圧とすることで、消費電力を削減できると言える。

【0048】例えば、周辺駆動回路のカウンタ回路、デ

コーダー回路等を薄膜トランジスタと抵抗により構成した場合には、それぞれの回路は消費電力が大きい、機能すべき部分のみを作動することで、全体として消費電力を抑えることができる。

【0049】更に、上述の問題点を解消するために、本発明に係る液晶電気光学装置の構成の1つは、複数の画素がマトリクス上に配置され、前記画素を少なくとも1つ含むように複数のブロックに分割された画素部を駆動するための液晶電気光学装置の周辺駆動回路において、該周辺駆動回路に電力を供給する電力供給回路を有し、前記ブロック中に、電圧を印加する、又はサンプリングされたビデオ信号を書き込まれる画素が存在しない場合に、あるいはサンプリングされたビデオ信号が書き込まれる画素が存在しない場合に、前記電力供給回路は、前記周辺駆動回路のうち、前記ブロック中の画素に対応する少なくとも一部に対して、電力供給を停止する。又は、電力供給を削減することを特徴とする。

【0050】上記の構成を有する周辺駆動回路は、画素を任意の数をまとめてブロックとし、そのブロックの画素に対応する回路ごとに電力の供給を制御している。従って、画素をブロック化すると共に、周辺駆動回路もブロック化して、ブロック毎に電力供給を制御している。即ち、画素を特定していないブロックに対して、電力供給を停止する、或いは供給電力を下げるようにしている。

【0051】最初に画素を特定する回路を第1番目のブロックとして、順次に符号を付す。第N番目のブロックに入力信号が到達した場合には、第(N-1)番目以前のブロックへの電力供給を停止する、或いは供給電力を下げる事ができる。更に、第(N+1)番目以降のブロックへの電力供給を停止する、或いは供給電力を下げる事ができる。

【0052】なお、第(N+1)番目のブロックへの電力供給はそのまま、第(N+2)番目、第(N+3)番目等のブロックへの電力供給を停止する、或いは供給電力を下げる事ができる。従って、第(N+x)段〔x≥1〕のブロックへの電力供給を停止する、或いは供給電力を下げることも可能である。

【0053】また、第(N-1)段目のブロックに電源を供給して、第(N-2)段、第(N-3)段等のブロックには電力を供給しない、或いは供給電力を下げることも可能である。従って、第(N-y)段目〔y≥1〕のブロックへの電力供給を停止する、或いは供給電力を下げる事ができる。回路部分の電源電圧を下げることも可能である。

【0054】

【実施例】図3はシフトレジスタの部分的な回路図であり、3段分のレジスタのみを図示している。図4は3段のレジスタの入出力信号のチャート図である。

【0055】以下の実施例1～4では、図3に示すよう

な構成で、レジスタの入出力が図4に示すものとなるシフトレジスタを取り上げる。

【0056】〔実施例1〕実施例1では、シフトレジスタをブロック化し、ブロックごとに電力供給する場合を示す。なお、電力供給を制御する制御回路は画素マトリックスを形成した透明基板外にCMOS回路により構成するものとする。

【0057】シフトレジスタ8段を1ブロックとした場合を図5に示す。入力信号を検出して、制御信号を作り出すことも可能であるが、ここでは、制御回路(501)とシフトレジスタ(502)が同期していることを利用する。

【0058】クロックオシレータ(503)からの信号は、シフトレジスタ(502)と制御回路(501)のカウンタ(504)に入力される。カウンタ(504)の出力は、デコーダ(505)により制御信号(506)となる。制御信号(506)は、シフトレジスタ(502)に入力される。

【0059】図6に、シフトレジスタ(502)の第N目のブロックに対する制御信号(506)のタイミングチャートを示す。クロックオシレータ(503)のクロック信号(601)に基づいて、デコーダ(502)は制御信号(506)を作成する。電力供給信号(602)、第Nシフトレジスタブロック起動時に初期化するクリア信号(603)、クロック供給信号(604)の3系統の信号を作成する。

【0060】レジスタ8段を1ブロックとした場合、出力を作り出すのに必要な期間(605)以外に、(606)の時点で、ブロックに電力を供給し始めて、(607)の時点でクロック信号を入力し始める。電力供給とクロック信号の入力を同時にせずに、時間差(608)を設けることで、起動時の出力を確実にする。

【0061】なお、第Nブロックから第(N+1)ブロックに信号が入力された後は、何れの時点でも第Nブロックに対する電力供給を停止してもよいがここでは、(609)の時点で電力供給とクロック供給を停止する。

【0062】図7に、レジスタ8段を1ブロックとした場合に、第4ブロックに供給する制御信号(506)を作り出す回路を示す。

【0063】図5のクロックオシレータ(503)と同一のクロックオシレータ(701)の出力をバイナリカウンタ(702)に入力する。バイナリカウンタ(702)の出力を、AND回路(703)、(704)、(705)で検出し、OR回路(706)、(707)で合成して、制御信号とする。

【0064】AND回路(703)はシフトレジスタブロックが入力信号をブロック内部で伝えるために必要な期間を、AND回路(704)はクリア期間を、AND回路(705)はクリア期間と入力信号を伝える期間の

間をそれぞれ選び出す。

【0065】従って、AND回路(703)、(704)、(705)の出力をOR回路(706)によって論理和をとると電力供給信号(602)となる。また、AND回路(704)の出力をインバータ(708)で反転したものはクリア信号(603)となり、AND回路(703)、(705)の出力はOR回路(708)によってクロック供給信号(604)となる。

【0066】図8に、Pチャネル型TFTによってシフトレジスタブロックへ電源を供給する回路を示す。

【0067】プラス側電源線(801)を、Pチャネル型TFT(802)を通してシフトレジスタブロック(803)に接続する。

【0068】Pチャネル型TFT(802)のゲート電極には電力供給信号(602)を印加する。

【0069】図9にクリア回路を示す。起動時にシフトレジスタの1段(901)の記憶ループの値を確定するPチャネル型TFT(902)を接続する。

【0070】Pチャネル型TFT(902)のゲート電極には、クリア信号(603)を印加する。

【0071】ここで、バッファ(903)の出力がシフトレジスタの起動前後で変化しないようにループの値を確定するために、バッファ(903)の出力が通常電源電位の場合には接点(904)に、通常グランド電位の場合には接点(905)にPチャネル型TFT(902)のドレイン電極を接続する。

【0072】図10にクロック供給回路を示す。クロック線(1001)、(1002)をPチャネル型TFT(1003)、(1004)を通して、シフトレジスタブロック(1005)に接続する。

【0073】Pチャネル型TFT(1003)、(1004)のゲート電極には、クロック供給信号(604)を印加する。

【0074】本実施例のシフトレジスタについて、液晶電気光学装置の周辺駆動回路として用いた場合の消費電力を比較する。抵抗1ヶにつき電源電圧の2乗を抵抗値で割ったものが、1ヶの抵抗における消費電力となる。図32に示した従来例の場合、シフトレジスタ1段中抵抗は3ヶあり、全段に対し常時電源が供給される。従って従来型の場合、シフトレジスタの段数に比例して消費電力が増大する。

【0075】しかしながら、実施例1の場合、シフトレジスタ1段中の抵抗は3ヶであるが、信号伝達にシフトレジスタ8段、隣接ブロックとの制御信号の重なりによってシフトレジスタ4段相当の回路に対し常時電源が供給され、他のシフトレジスタには電源が供給されない。したがって、周辺駆動回路としての消費電力を極めて小さくでき、またシフトレジスタの段数が増加しても消費電力は変わらない。

【0076】具体的には、電源電圧20V、抵抗300

kΩとして、640段のシフトレジスタを動作させるものとし、電源電位出力になるか、グランド電位出力になるかが確率1/2でおきるものとすると、消費電力は従来型で1280mWであるのに対し、実施例1の構成においては24mWとすることができた。

【0077】〔実施例2〕実施例2では、シフトレジスタのレジスタ毎に制御回路を設け、外部から特別の信号を用いる場合を示す。

【0078】図11に示すようにシフトレジスタ(1101)のレジスタ毎に制御回路(1102)を設けて、入力信号(1103)を検出し、制御信号(1104)を作成する。

【0079】入力信号が到達してから電力供給していたのでは、パルス幅が保証されないので、入力信号が到達する以前に電力を供給する。具体的には、基本クロックの半周期前に電力を供給して、レジスタを起動させて、基本クロックが1周期後に、即ち、レジスタが出力をアクティブにした直後に、電力の供給を停止する。

【0080】図12にシフトレジスタの動作を説明する模式図を示す。図12(a)は第N番目のレジスタがアクティブである状態を示し、図12(b)は図12

(a)の状態から、クロック1周期後の状態を示す。図12aに示すように、シフトレジスタ(1201)の第N段目のレジスタ(1202)の出力信号(1203)は制御回路(1204)の第(N+1)番目の回路(1205)と第(N-2)番目の回路(1206)に入力される。

【0081】第(N+1)番目の制御回路(1205)では、第N段目のレジスタ(1202)の出力信号(1203)がアクティブになると、第(N+1)段目のレジスタ(1207)に電力を供給する制御信号(1208)を作成して、第(N+1)段目のレジスタを起動する。

【0082】第(N-2)番目の制御回路(1206)では、第N段目のレジスタ(1202)の出力(1203)がアクティブになると、第(N-2)段目のシフトレジスタ(1209)に電力供給の停止をする制御信号(1210)を作成して、第(N-2)段目のレジスタを停止する。

【0083】次のクロックパルスがシフトレジスタ(1201)に入力されると、図12(b)に示すように、第(N+2)番目の制御回路(1211)では、第(N+1)段目のレジスタ(1207)の出力信号(1212)がアクティブになると、第(N+2)段目のレジスタ(1213)に電力を供給する制御信号(1214)を作成して、第(N+2)段目のレジスタを起動する。

【0084】第(N-1)番目の制御回路(1215)では、第(N+1)段目レジスタ(1207)の出力(1212)がアクティブになると、第(N-1)段目のシフトレジスタ(1216)に電力供給の停止をする

制御信号(1217)を作成して、第(N-1)段目のレジスタを停止する。

【0085】シフトレジスタに、クロック信号が新たに入力される度に、以上の動作を繰り返して、レジスタを順次に起動・停止する。

【0086】シフトレジスタに電力を供給しはじめても、停止しても、図1のサンプラ(105)が誤動作しないように、図1のバッファ(104)の出力は変化してはならない。これから、図1のバッファ(104)の出力は確実であり、図11のシフトレジスタ(1101)に電源を供給しない期間は、シフトレジスタ(1101)内の信号は不確実なことを考慮して、実施例2ではバッファの出力を次段のレジスタの入力とする。

【0087】このことをもとにして、図13にレジスタ1段分のタイミングチャートを示す。基本クロック(1301)と第(N-1)段目のレジスタのバッファ出力(1302)から第N段調整入力A(1303)電源電位(1304)を作る。ここで、レジスタの1段は基本クロックの1.5周期分だけ動作しているが、制御信号はクロックの立ち上がり、立ち下がりから遅れるので、第N段目のレジスタへの入力信号として、基本クロックの2周期分を作り出し、パルス幅を確実に基本クロック1周期分とする。

【0088】つまり、基本クロックの反転信号(1305)と第(N+1)段目のレジスタのバッファ出力(1306)から第N段調整入力B(1307)の電源電位(1308)を作る。そして、入力調整信号A(1303)とB(1307)をアクティブハイとして論理和をとり、(1309)のような調整信号を作る。

【0089】このままでは、第(N-1)段目のレジスタのバッファ出力信号(1302)は、基本クロック(1301)から遅れて変化するので、調整信号(1309)の(1310)において誤動作信号を生じる。

【0090】この場合、基本クロックの1.5倍周期のクロック(1311)でマスクすることで、動作を確実なものとする。これらの信号によって第N段目のレジスタのバッファ出力(1312)が形成できる。

【0091】ここで、第N段における電力供給信号は、(1313)に示すようなものであり、素子遅延による入力信号幅の変化をさけるため、入力信号が到達する、基本クロックの半周期前に電力供給を始める。

【0092】制御回路としては、記憶(状態の保持)ができて、低消費電力化が求められるため論理回路を使用しないものが望ましい。実施例2では、周波数特性は悪くなるものの構成が容易なコンデンサを中心とした回路を考える。

【0093】図14に制御回路を示す。コンデンサ(1401)が充電状態で、シフトレジスタの電力供給を停止し、放電状態でシフトレジスタに電源を供給する制御信号出力(1402)を作る。

【0094】Pチャネル型TFT(1403)は回路全体の電源投入後、制御回路の初期状態を設定する。つまり、入力信号をシフトレジスタに入力する前に、Pチャネル型TFT(1403)のゲート電極にグランド電位信号を印加し、コンデンサー(1401)を充電する。

【0095】第N番目の制御回路において、入力信号を取りこぼさないために、第(N-1)段目のレジスタに入力信号が到達した時点で、第N段目のレジスタを起動して、次のクロック変化で入力信号を取り込む。

【0096】従って、Pチャネル型TFT(1404)は第(N-1)段目のレジスタのバッファ出力をゲート電極の入力とする。これによって、第(N-1)段目のレジスタのバッファ出力がグランド電位になると、コンデンサー(1401)を放電して、第N段目のレジスタに電源を供給する信号を作り出す。

【0097】同じように、第N番目の制御回路において、入力信号が第(N+2)段目のレジスタに到達すると、第N段目のレジスタはアクティブ信号を出していない状態になり、電力供給を停止してよい。

【0098】従って、Pチャネル型TFT(1405)は第(N+2)段シフトレジスタのバッファ出力をゲート電極の入力とする。これによって、第(N+2)段シフトレジスタのバッファ出力がグランド電位になると、コンデンサー(1401)を充電して、第N段目のシフトレジスタの電力供給を停止する。ここで、(1406)は、電源保護のための抵抗である。

【0099】第N段目のレジスタとバッファを図15に示す。信号調整部(1501)について、Pチャネル型TFT(1502)のゲート電極に基本クロック、Pチャネル型TFT(1503)のゲート電極にマスク用の1.5倍周期のクロック、Pチャネル型TFT(1504)のゲート電極に第(N-1)段目のレジスタのバッファ出力を印加し、第N段目のレジスタのバッファ出力の立ち下がり、つまり図13における信号(1303)を作る。

【0100】Pチャネル型TFT(1505)のゲート電極に基本クロックの反転、Pチャネル型TFT(1506)のゲート電極にマスク用の1.5倍周期のクロック、Pチャネル型TFT(1507)のゲート電極に第(N+1)段シフトレジスタのバッファ出力を印加し、第N段目のレジスタのバッファ出力の立ち上がり、つまり、図13における信号(1307)を作る。

【0101】従って、信号調整部の出力としては、図13における信号(1309)となる。基本的にPチャネル型TFT(1504)、(1507)はオフ状態にあるので、通常抵抗(1508)には電流が流れないため、信号調整部には制御信号を入力しない。

【0102】従来、シフトレジスタとして全段を動作させていたが、Pチャネル型TFT(1590)、(1510)、(1511)のゲート電極に制御信号を印加

し、不必要な期間、電力供給を停止することで、シフトレジスタ全体で低消費電力を図る。

【0103】Pチャネル型TFT(1512)のゲート電極に1.5倍周期のクロック、Pチャネル型TFT(1513)のゲート電極に信号調整部(1501)の出力を印加し、記憶ループを構成しない期間のバッファ入力を作る。

【0104】Pチャネル型TFT(1514)のゲート電極に、1.5倍周期のクロックの反転信号、Pチャネル型TFT(1515)のゲート電極に記憶ループを構成するインバータ(1516)の出力を印加する。

【0105】基本的に、Pチャネル型TFT(1515)と抵抗(1517)がインバータを構成している。このインバータと、Pチャネル型TFT(1518)と抵抗(1519)で構成するインバータで記憶ループをなす。

【0106】Pチャネル型TFT(1520)と抵抗(1521)は、バッファを構成する。ここでPチャネル型TFT(1522)は、クリアをする時に、シフトレジスタの各出力を確定し、制御回路のコンデンサーの充電状態が確保できなくなるのを防ぐためのものである。

【0107】また、Pチャネル型TFTの電流容量が大きければ、電源を供給するPチャネル型TFT(1509)、(1510)、(1511)を1つにまとめることも可能である。

【0108】入力信号のパルス幅を保証しなくても良い場合、実施例2の回路構成で、制御信号を基本クロックに同期させ、シフトレジスタ1段に1周期分だけ電源を供給することも可能である。

【0109】本実施例のシフトレジスタについて、液晶電気光学装置の周辺駆動回路として用いた場合の消費電力を比較する。抵抗1ヶにつき電源電圧の2乗を抵抗値で割ったものが、1ヶの抵抗における消費電力となる。図32に示した従来例の場合、レジスタ1段には抵抗が3個あり、全段に対し常時電源が供給される。従って従来例の場合、シフトレジスタの段数に比例して消費電力が増大する。

【0110】しかしながら、実施例2で示した周辺駆動回路の場合、レジスタ1段には抵抗が3個あるが、レジスタ3段に対して常時電源が供給され、他のレジスタには電力が供給されない。したがって、周辺駆動回路としての消費電力を極めて小さくでき、またシフトレジスタの段数が増加しても消費電力は変わらない。

【0111】具体的には、電源電圧20V、抵抗300kΩとして、640段のシフトレジスタを動作させるものとし、電源電位出力になるか、グランド電位出力になるかが確率1/2でおきるものとする、消費電力は従来型で1280mWであるのに対し、実施例2の構成においては6mWとすることができた。

【0112】〔実施例3〕実施例3では、シフトレジスタにおいて、レジスタ毎に制御回路を設ける場合を示す。実施例2で、1.5倍周期のクロックによって誤動作を防いでいた部分を、クロックをマスクする回路を設けて対応する。従って、信号の主な引き回し、制御回路は実施例2と同様である。

【0113】図16にシフトレジスタ1段部のタイミングチャートを示す。信号調整部において基本クロックの反転(1601)と第(N-1)段目のレジスタのバッファ出力(1602)から第N段入力(1603)の電源電位(1604)を作る。

【0114】また、記憶ループを作る信号として、クロック(1605)がタイミング的に望ましいが、第N段の制御信号は(1606)のようになるので、起動直後(1607)において、記憶ループが形成され第N段入力(1603)を受け付けない。

【0115】そこで、クロック(1605)を制御信号(1606)、(1608)でマスクして、(1609)のようなループ形成信号を作る。これらで、第N段のバッファ出力(1610)を作成する。

【0116】第N段目のレジスタの構成を図17に示す。信号調整部(1701)について、Pチャネル型TFT(1702)のゲート電極に基本クロック、Pチャネル型TFT(1703)のゲート電極に第(N-1)段目のレジスタのバッファ出力を印加し、第N段目のレジスタ起動時の信号設定をする。

【0117】クロックを選び出す回路(1704)は、Pチャネル型TFT(1705)のゲート電極に第N番目の制御信号、Pチャネル型TFTのゲート電極(1706)に第(N+1)番目の制御信号、Pチャネル型TFTのゲート電極(1707)に基本クロックの反転を印加して、出力(1708)を得る。信号(1708)の反転をとることで記憶ループを形成する信号を作る。

【0118】記憶ループを構成する回路(1709)、バッファ回路(1710)は、実施例2と同じである。ここで、Pチャネル型TFT(1711)、(1712)、(1713)、(1714)、(1715)は電力供給、Pチャネル型TFT(1716)はクリア実行のためのものである。

【0119】本実施例のシフトレジスタについて、液晶電気光学装置の周辺駆動回路として用いた場合の消費電力を比較する。抵抗1個につき電源電圧の2乗を抵抗値で割ったものが、1この抵抗の消費電力となる。図34に示した従来例の場合、レジスタ1段には抵抗は3個あり、全段に対し常時電源が供給される。従って、従来例の場合、レジスタの段数に比例して消費電力が増大する。

【0120】しかしながら、実施例3で示した周辺駆動回路の場合、レジスタ1段には抵抗は5個あるが、レジスタ3段のみに対して常時電源が供給され、他のシフト

レジスタには電源が供給されない。したがって、周辺駆動回路としての消費電力を極めて小さくでき、またレジスタの段数が増加しても消費電力は変わらない。

【0121】具体的には、電源電圧20V、抵抗300kΩとして、640段のシフトレジスタを動作させるものとし、電源電位出力になるか、グランド電位出力になるかが確率1/2でおきるものとする、消費電力は従来型で1280mWであるのに対し、実施例3の構成においては10mWとすることができた。

【0122】〔実施例4〕実施例4では、電力供給を基本クロックの2周期分とする場合を示す。実施例2、実施例3では、電源を基本クロックの1.5周期の期間供給していたが、実施例4では2周期分とすることで、回路を簡素化する。

【0123】信号の流れを、図18aに示す。シフトレジスタ(1801)、バッファ(1802)、制御回路(1803)の構成は変わらない。第(N-1)段目のレジスタからのアクティブ出力(1804)によって、クロック同期して第N段目のレジスタの出力がアクティブとなると、第N段目のレジスタに対応するバッファ(1805)の出力(1806)を変化させる。

【0124】バッファ出力(1806)を、第(N+2)番目の制御回路(1807)と第(N-2)番目の制御回路(1808)に入力し、第N段バッファ出力が、アクティブになると、第(N+2)番目の制御回路(1807)では、電力供給信号(1809)を、第(N-2)番目の制御回路(1808)では電力供給停止信号(1810)を作る。

【0125】図18aから基本クロック半周期後の信号の流れを図18bに示す。実施例4では、第(N+1)段目のレジスタの入力として、第N番目のバッファ出力ではなく、第N段目のレジスタの出力を用いる。

【0126】タイムチャートを図19に示す。クロック(1901)で、入力信号を取り込み、クロック反転(1902)で記憶ループを構成する。

【0127】制御信号は、(1903)のようになり、基本クロックの2周期分だけ電源を供給する。

【0128】第N段目のレジスタの出力は(1904)の実線のようにになる。第(N+1)段目のレジスタでは、期間(1905)、(1906)で信号の取り込みを行うので、(1904)の点線のようにになっている必要はない。また、第N段目のレジスタに対するバッファに入力する信号として、(1907)を用いるとバッファ出力(1908)で誤動作がおきない。

【0129】図20に回路図を示す。第N段目のレジスタ(2001)の出力は、第N段目のバッファ(2002)と第(N+1)段目のレジスタの入力となる。

【0130】バッファ(2002)出力は第(N+2)、(N-2)番目の制御回路(2003)の入力となり、制御信号を作る。



【0131】シフトレジスタは、図32のシフトレジスタの各インバータに、電力供給をするPチャンネル型TFT(2004)、(2005)、(2006)を直列に接続したものである。

【0132】インバータをなすPチャンネル型TFT(2007)、(2008)、(2009)のソース電極を1点にまとめ、電力供給を制御する1つのPチャンネル型TFTを介して電源に接続することも可能である。

【0133】また、バッファ回路(2002)、制御回路(2003)は、実施例2と同じ構成である。つまり、第N番目の制御回路コンデンサ(2010)を放電するPチャンネル型TFT(2011)のゲート電極への入力、第(N-2)番目のバッファ出力であり、充電するPチャンネル型TFT(2012)のゲート電極への入力、第(N+2)番目のバッファ出力である。

【0134】ここで、Pチャンネル型TFT(2013)、(2014)はクロック同期アナログスイッチであり、Pチャンネル型TFT(2015)、(2016)はクリア実行のためのものである。

【0135】本実施例のシフトレジスタについて、液晶電気光学装置の周辺駆動回路として用いた場合の消費電力を比較する。抵抗1個につき電源電圧の2乗を抵抗値で割ったものが、1個の抵抗の消費電力となる。図34に示した従来例の場合、シフトレジスタ1段には抵抗が3個あり、全段に対し常時電源が供給される。従って、従来型の場合、シフトレジスタの段数に比例して消費電力が増大する。

【0136】しかしながら、実施例4で示した周辺駆動回路の場合、シフトレジスタ1段には抵抗は3個あるが、シフトレジスタ4段のみに対して常時電源が供給され、他のシフトレジスタには電源が供給されない。従って、周辺駆動回路としての消費電力を極めて小さくでき、またシフトレジスタの段数が増加しても消費電力は変わらない。

【0137】具体的には、電源電圧20V、抵抗300kΩとして、640段のシフトレジスタを動作させるものとし、電源電位出力になるか、グランド電位出力になるかが確率1/2でおきるものとする、消費電力は従来型で1280mWであるのに対し、実施例4の構成においては8mWとすることができた。

【0138】以下の実施例5～7では、画素を特定する場合に、電源電圧を必要とされる値にする回路構成を示す。これはまた、機能していない部分の、電源電圧を下げる回路構成でもある。

【0139】〔実施例5〕シフトレジスタ回路を用いて周辺駆動回路を構成し、一導電型TFTここではPチャンネル型TFTと抵抗で回路を実現する場合を想定する。図21にシフトレジスタ回路を示す。図21に示すように本実施例で、1段(2101)とは、インバータ3個(2102)、(2103)、(2104)とアナログ

スイッチ2個(2105)、(2106)で構成される回路を指す。ここで、(2107)は、アナログスイッチをオン、オフするバッファである。

【0140】図22で、実線が液晶を駆動できる電源電圧を、点線が低消費電力を実現する電源電圧を示す。液晶を駆動させることになるビデオ信号の電圧変化範囲を考えると、アナログスイッチを動作させるバッファには、20V程度の電源電圧が必要である。これから、Pチャンネル型TFTで構成するアナログスイッチをオン、オフするバッファ出力は(2201)のように、通常は20V程度の電源電位、サンプリング時にはグランド電位となる。従って、バッファ入力として、通常はグランド電位で、サンプリング時に20V程度の電位となる波形(2202)が必要となる。

【0141】ここで、バッファ入力を作り出すシフトレジスタ回路について考える。シフトレジスタ回路は、サンプリングするタイミングを、入力信号としてシフトさせていると考えられる。よって、シフトレジスタにおいて、サンプリングするタイミングを作る場合、つまり、第N段目のレジスタに入力信号が存在する場合に、第N段目のレジスタに対する電源電圧を20V程度とすれば、バッファ・アナログスイッチ・ビデオ信号を通して液晶を駆動させることが可能である。逆に、入力信号が存在しない場合には、シフトレジスタ回路が誤動作しない範囲でシフトレジスタ回路の電源電圧を下げるができる。この回路構成では、液晶を駆動させる電源電位を恒常的に使用せず、論理が反転しない範囲で電源電圧を下げる事が可能であるので、消費電力を削減することになる。

【0142】図23に液晶を駆動できる電源電圧と、低消費電力を実現する電源電圧をシフトレジスタ回路1段(2301)に供給する回路構成を示す。Pチャンネル型TFT(2302)をオン状態にすることで、液晶を駆動できる電源電圧(高電圧電源)を、Pチャンネル型TFT(2303)をオン状態にすることで、低消費電力とする電源電圧(低電圧電源)を供給する。

【0143】図24に電力供給回路を制御する回路を示す。図24には、シフトレジスタ回路第N段(2401)に対応する制御回路と、制御回路を動作させる信号の引き出し方法を示す。

【0144】シフトレジスタ回路第N段に対応する制御回路のコンデンサ(2402)は以下のような動作をする。液晶を駆動できる電圧に充電されている時には、シフトレジスタ回路第N段に低消費電力とする電源電圧を供給する。逆に、コンデンサがグランド電位近くに放電している時には、シフトレジスタ回路第N段に液晶を駆動できる電源電圧を供給する。

【0145】制御回路の動作は、以下ようになる。まず、Pチャンネル型TFT(2403)をあらかじめオンにして、コンデンサ(2402)を液晶を駆動できる電

位に充電する。充電後、Pチャネル型TFT(2403)はオフにしておく。つまり、初期状態では、低消費電力とする電源電位が供給されることになる。第(N-1)段目のレジスタ(2404)の出力をバッファを通して、Pチャネル型TFT(2405)のゲート電極に接続する。

【0146】これによって、第(N-1)段目のレジスタ回路に入力信号が到達すると、コンデンサをグランド電位近くに放電する。コンデンサの電位は、Pチャネル形TFT(2406)によって、クロック同期して液晶を駆動できる電源電圧制御信号となる。さらに、インバータ(2407)を介して、低消費電力とする電源電圧制御信号となる。

【0147】従って、第N段目のレジスタに対応する制御回路のコンデンサが放電した場合、第N段目のレジスタ回路に液晶を駆動できる電源電圧を供給し、低消費電力とする電源の供給を停止する。ここで、シフトレジスタの電源電位が低くなった場合、シフトレジスタの出力では、電源電位の高い制御回路を誤動作させる。これを避けるため、液晶を駆動できる電源電位で恒常的に使用されるバッファ出力を用いた。

【0148】また、インバータの時間遅れによって、電源制御信号がPチャネル型TFT(2302)、(2303)を同時にオン状態とし、電源を短絡する可能性がある。抵抗(2408)によって、液晶を駆動できる電源電圧制御信号をひずませ、Pチャネル型TFT(2302)がオン状態となるのを遅らせ、電源短絡を回避する。

【0149】さらに、第(N+1)段目のレジスタ(2409)の出力をバッファを通して、Pチャネル型TFT(2410)のゲート電極に接続する。第(N+1)段目のレジスタに入力信号が到達すると、コンデンサを液晶を駆動できる電源電位に充電する。これによって、第N段目のレジスタ回路に低消費電力とする電源電圧を供給し、液晶を駆動できる電源の供給を停止する。

【0150】この回路構成で、サンプリングするためにアナログスイッチをオンさせる場合にのみ、電源電圧を必要な値に設定できる。前記以外の場合には、低消費電力となる電源電圧とすることで、回路全体での消費電力削減が、実現できる。

【0151】本実施例の周辺駆動回路について、消費電力を比較する。抵抗1個につき電源電圧の2乗を抵抗値で割ったものが、1個の抵抗における消費電力となる。図37に示した回路に常時、液晶を駆動できる電圧20Vを印加するとする。レジスタ1段につき抵抗は3個、抵抗値は300kΩ、グランド電位出力になるか、電源電位出力になるかが、1/2の確率でおきるものとする。シフトレジスタ回路を640段構成とし、バッファを除くと、消費電力は1280mWとなる。これに対して、本実施例の場合は次のようになる。液晶を駆動する

電圧を20V、低消費電力とする電圧を5V、シフトレジスタ1段あたり抵抗4個、抵抗値は300kΩとする。シフトレジスタ回路640段中、2段に液晶を駆動できる電源電圧を供給し、638段には低消費電力となる電源電圧を供給することになる。これらの仮定から、消費電力は111mWと計算できる。

【0152】このように、本実施例による回路構成で、消費電力が削減できることができる。

【0153】[実施例6]以下の実施例では、画素を特定している部分にのみ電源を供給し、画素を特定していない部分には、電力供給を停止する回路構成を示す。本実施例では、デコーダ回路とカウンタ回路を用いて画素を特定する周辺駆動回路を想定する。

【0154】カウンタ回路の出力(反転出力も含む)を、図35で示した基本ゲート回路で構成するデコーダ回路を通すことで、画素を特定する信号を作り出す。デコーダ回路をバッファと兼用させるとすると、消費電力を削減する為には、カウンタ回路の電力を削減することになる。カウンタ回路を画素を特定する部分と、特定しない部分に分離することは、図37で示した回路構成では不可能であるので、カウンタ回路を分割する。

【0155】信号線あるいは走査線に対応するアドレスを、1つのカウンタで生成するのではなく、図25のように、ビット数の少ないカウンタ回路を用いる。前記カウンタ回路に必要な分用意し、それらを順次動作させ局所的なアドレスを生成することで、画素を特定する。これによって、動作させる必要のないカウンタ回路に対する電力供給を停止できる。ここで、(2501)は画素マトリックス、(2502)は分割したカウンタ回路、(2503)はデコーダ回路、(2504)は制御回路である。

【0156】図26に分割したカウンタ回路、デコーダ回路と制御回路を示す。第(N-1)番目のカウンタ回路(2601)で、リップルキャリが生じると第N番目のカウンタ回路(2602)に電源を供給し始め、第(N+1)番目のカウンタ回路(2603)がカウントし始めると、第N番目のカウンタ回路の電源の供給を停止する。

【0157】制御回路は、実施例5と同じであり、初期設定用の一導電型TFTここではPチャネル型TFT(2604)、電力供給を始めるためコンデンサを放電するPチャネル型TFT(2605)、電力供給を停止するためコンデンサを充電するPチャネル型TFT(2606)、記憶保持のためのコンデンサ(2607)で構成される。第N番目のカウンタ回路は、電源を供給し始めた時点で、その出力値は不定となっている。従って、第(N-1)番目のカウンタ回路のリップルキャリが生じ、電源を供給し始める時点で、クリアを実行する。クリア信号を生成する回路がPチャネル型TFT(2608)で構成される。

【0158】電源を供給する回路は、図22のPチャンネル型TFTのソース電極と電源との間に、Pチャンネル型TFTを直列に接続し、このPチャンネル型TFTで電力供給を制御することで実現できる。図26では、直列に追加接続するPチャンネル型TFTをひとまとめにして、Pチャンネル型TFT(2609)で示す。また、第N番目のカウンタ回路(2602)に対するイネーブル信号は、Pチャンネル形TFT(2609)によって供給される。

【0159】第N番目のカウンタ回路の電力供給停止は、第(N+1)番目のカウンタ回路の最小値出力を検出するデコーダ回路(2610)の出力を用いる。

【0160】図27に、第N番目のカウンタ回路のタイミングチャートを示す。電源(2701)投入直後、第(N-1)番目のカウンタ回路のリップルキャリ(2702)によって、第N番目のカウンタ回路のクリア信号(2703)を形成する。第N番目のカウンタ回路の出力(2704)をデコーダ回路に入力し、デコード信号(2705)を作り出す。リップルキャリを出力した次のクロックパルスで、第N番目のカウンタ回路に対する電力供給を停止する。

【0161】本実施例の周辺駆動回路について、消費電力を比較する。抵抗1個につき電源電圧の2乗を抵抗値で割ったものが、1個の抵抗における消費電力となる。640個の画素に対してアドレス信号を生成するとすると、10ビットのカウントが必要となる。カウンタ1ビットは、JKフリップフロップ1個に対応し、JKフリップフロップ1個に10ゲート必要であるので、電源とグランドを接続することになる抵抗はJKフリップフロップだけで100個ある。他に16個のゲートを必要とし、ゲート1個に対して、電源とグランドを接続することになる抵抗は1個ある。従って、電源とグランドを接続することになる抵抗は合計116個となる。抵抗値を300k $\Omega$ 、電源電圧を20Vとする。グランド電位出力になるか、電源電位出力になるかが、1/2の確率でおきるものとする。バッファ兼用のデコーダ回路を除くと、消費電力は77mWとなる。

【0162】これに対して、本実施例の場合は次のようになる。画素数に関係なく、4ビットカウンタを順次使用するので、通常4ビットカウンタが動作しているとみなせる。つまり、JKフリップフロップは4個、JKフリップフロップ1個あたり抵抗は10個である。また、JKフリップフロップ間に必要なゲートは8個であるから、電源とグランドを接続することになる抵抗は合計48個となる。抵抗値を300k $\Omega$ 、電源電圧を20Vとする。グランド電位出力になるか、電源電位出力になるかが、1/2の確率でおきるものとする。この仮定から、消費電力はバッファ兼用のデコーダ回路を除くと32mWとなる。

【0163】また、走査線あるいは信号線の増加に伴っ

て、デコーダ回路とカウンタ回路のみの周辺駆動回路構成の場合、消費電力は対数的に増加するが、本実施例の場合、消費電力の増加は回路的には、発生しない。このように、本実施例による回路構成で、消費電力が削減できることがわかる。

【0164】[実施例7] 以下の実施例では、画素を特定する場合に、電源電圧を必要とされる値にする回路構成を示す。これはまた、機能していない部分の、電源電圧を下げる回路構成でもある。

【0165】本実施例は、実施例6と同様に、デコーダ回路とカウンタ回路を用いて画素を特定する周辺駆動回路を想定する。ただし、カウンタ回路は6ビット出力とする。

【0166】図28に回路構成を示す。制御回路(2801)は実施例5と同様の構成である。第N番目のカウンタ回路(2802)に電力供給を開始する信号は、第(N-1)番目のカウンタ回路(2803)のリップルキャリを用いる。また、第N番目のカウンタ回路に電力供給を停止する信号は、第(N+1)番目のカウンタ回路(2804)の最小値出力を検出するデコーダ回路(2805)の出力を用いる。第N番目のカウンタ回路のイネーブル信号として、低消費電力とする電源電圧を制御する信号を用いる。これから、第N番目のカウンタ回路はクリア状態で次にイネーブル信号がアクティブになるのを待つ。従って、電源電圧が変化してもクリアを実行する必要はない。

【0167】本実施例の周辺駆動回路について、消費電力を比較する。抵抗1個につき電源電圧の2乗を抵抗値で割ったものが、1個の抵抗における消費電力となる。640個の画素に対してアドレス信号を生成するとすると、10ビットのカウントが必要となる。カウンタ1ビットは、JKフリップフロップ1個に対応し、JKフリップフロップ1個に10ゲート必要であるので、電源とグランドが接続される抵抗はJKフリップフロップだけで100個ある。他に16個のゲートを必要とし、ゲート1個に対して、電源とグランドを接続することになる抵抗は1個ある。従って、電源とグランドが接される抵抗は合計116個となる。抵抗値を300k $\Omega$ 、電源電圧を20Vとする。グランド電位出力になるか、電源電位出力になるかが、1/2の確率でおきるものとする。バッファ兼用のデコーダ回路を除くと、消費電力は77mWとなる。

【0168】これに対して、本実施例の場合は次のようになる。640画素に対して、6ビットカウンタは11個必要である。このうち、1個に対して液晶を駆動できる電圧20Vを、残り10個に対して低消費電力とする電圧5Vを供給する。6ビットカウンタ回路では、JKフリップフロップは6個、JKフリップフロップ1個あたり抵抗は10個である。また、JKフリップフロップ間に必要なゲートは12個であるから、電源とグ

ランドを接続することになる抵抗は合計72個となる。抵抗値を300kΩとして、グラウンド電位出力になるか、電源電位出力になるかが、1/2の確率でおきるものとする。この仮定から、消費電力はバッファ兼用のデコーダ回路を除くと62mWとなる。本実施例による回路構成で、消費電力が削減できる。

#### 【0169】

【発明の効果】本発明は、周辺駆動回路において、作動すべき回路に電力を供給して、それ以外の回路に電力供給を停止する、或いは供給電力を下げるようにしたため、回路全体の消費電力を削減することができる。また、作動すべきでない回路の誤動作を防止することができる。

【0170】特に、薄膜トランジスタと抵抗とにより構成される消費電力の大きな周辺駆動回路を用いた場合でも、周辺駆動回路全体として極めて低い消費電力とすることができた。例えば、シフトレジスタの段数の増加しても、動作電力が供給されるのは、信号が入力されているレジスタのみであるため、消費電力が増大することがない。

#### 【0171】

##### 【図面の簡単な説明】

【図1】 本発明の作用を説明するための液晶電気光学装置の概略構成図である。

【図2】 本発明の作用を説明するためのシフトレジスタのブロック回路図である。

【図3】 実施例1～4のシフトレジスタの構成図である。

【図4】 実施例1～4のシフトレジスタの入出力信号のタイミングチャート図である。

【図5】 実施例1のシフトレジスタのブロック回路図である。

【図6】 シフトレジスタのタイミングチャートを示す。

【図7】 デコーダ回路の構成図である。

【図8】 電力供給回路の構成図である。

【図9】 クリア回路の構成図である。

【図10】 クロック供給回路の構成図である。

【図11】 実施例2のシフトレジスタのブロック回路図である。

【図12】 シフトレジスタの動作を示す模式図である。

【図13】 レジスタ1段のタイミングチャート図である。

【図14】 制御回路の構成図である。

【図15】 シフトレジスタ1段、バッファ1段の構成図である。

【図16】 実施例3のレジスタ1段のタイミングチャート図である。

【図17】 レジスタ、クロック選択回路、バッファ1

段の構成図である。

【図18】 実施例4のシフトレジスタの動作を示すブロックの構成図である。

【図19】 レジスタ1段ののタイミングチャート図である。

【図20】 シフトレジスタ1段、制御回路、バッファ1段の構成図である。

【図21】 実施例5の一導電型TFTによるシフトレジスタの構成図である。

10 【図22】 シフトレジスタのタイミングチャート図である。

【図23】 一導電型TFTによる電源電圧切り替え回路の構成図である。

【図24】 他の電源電圧切り替え制御回路の構成図である。

【図25】 実施例6の分割したカウンタとデコーダの構成図である。

【図26】 実施例6の電力供給停止型カウンタと制御回路の構成図である。

20 【図27】 実施例6のカウンタ回路のタイミングチャートの構成図である。

【図28】 実施例7の電源電圧低下型カウンタと制御回路の構成図である。

【図29】 従来例1の液晶電気光学装置の周辺駆動回路の構成図である。

【図30】 クロックインバータにより構成したシフトレジスタと、トランスミッションゲートにより構成されたシフトレジスタの構成図である。

30 【図31】 アドレスデコーダを用いた信号線駆動回路の構成図である。

【図32】 カウンタとアドレスデコーダを用いた信号線駆動回路の構成図である。

【図33】 CMOS回路のクロックインバータ構成のシフトレジスタの構成図である。

【図34】 Pチャネル型TFTと抵抗で構成したシフトレジスタの構成図である。

【図35】 一導電型TFTによる基本ゲート回路の構成図である。

【図36】 JKフリップフロップの構成図である。

40 【図37】 4ビットカウンタの構成図である。

#### 【符号の説明】

101・・・表示マトリックス部

102、108・・・シフトレジスタ

103、106、107、110～112・・・シフトレジスタブロック

104、109・・・バッファ

105・・・サンプリング回路

401 シフトレジスタ

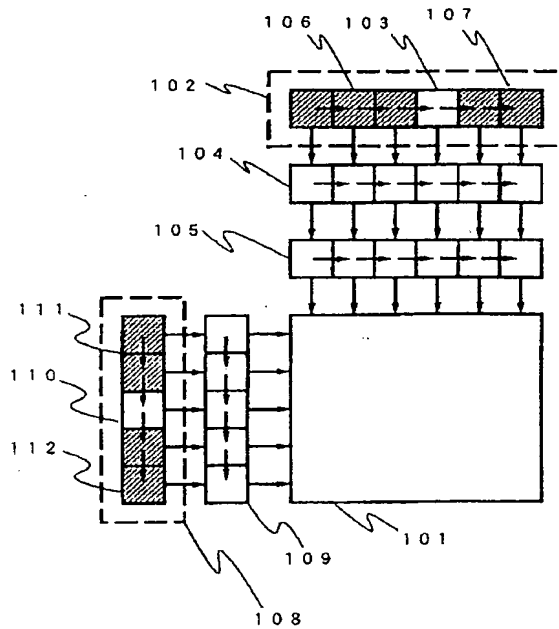
402～404・・・シフトレジスタブロック

50 405・・・制御回路

31

406、407・・・電力供給停止信号  
408・・・電力供給信号

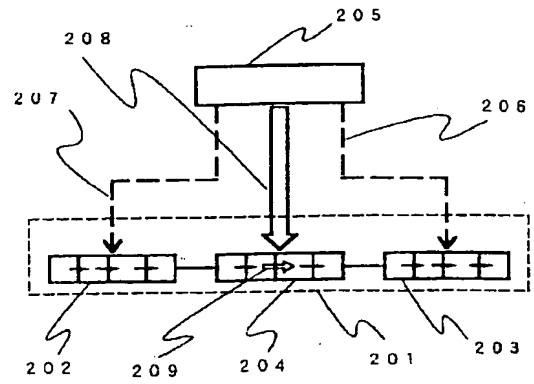
【図1】



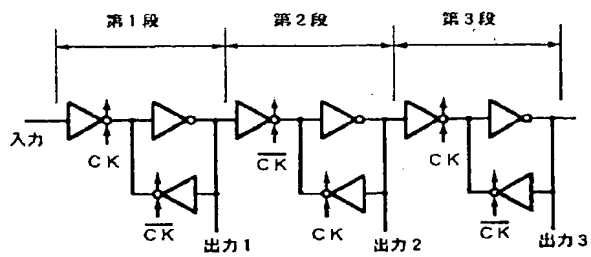
32

409・・・伝達すべき入力信号

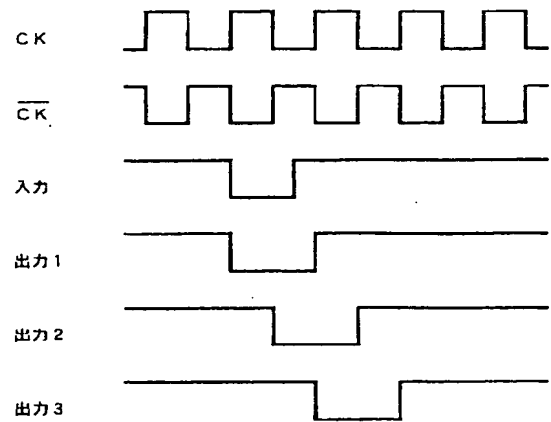
【図2】



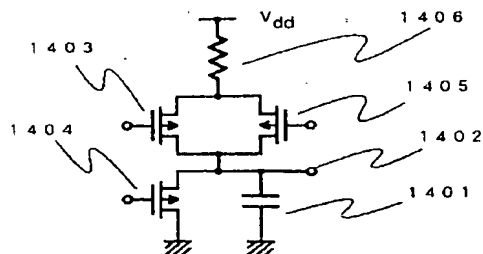
【図3】



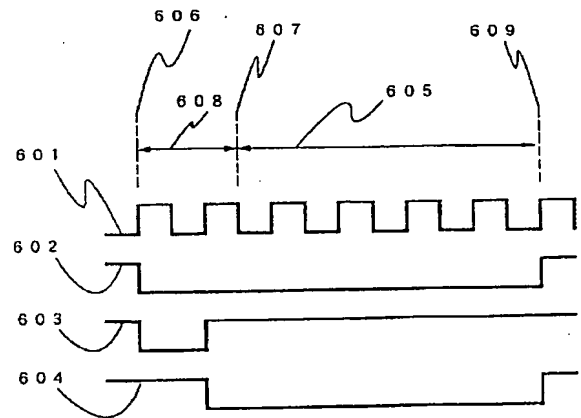
【図4】



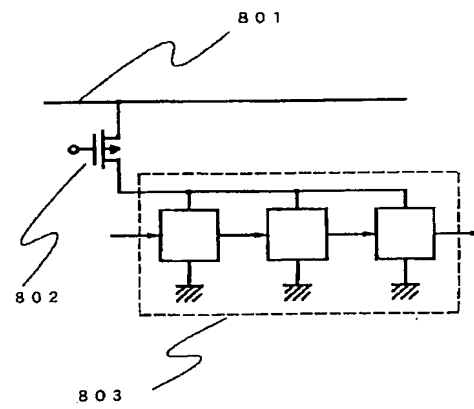
【図14】



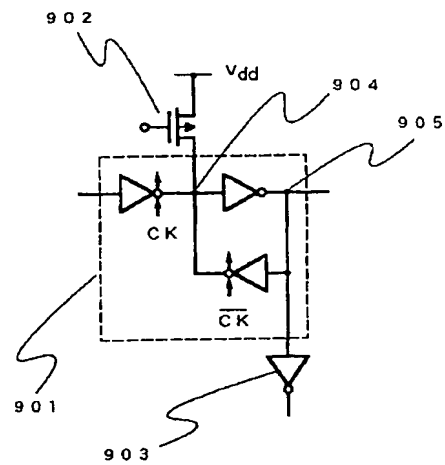
【图 6】



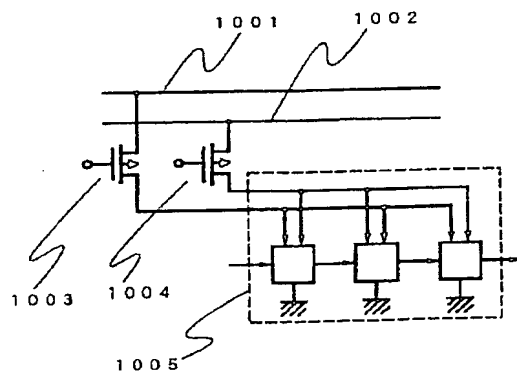
【图 7】



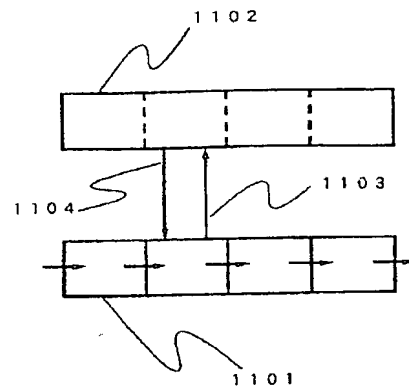
【図 9】



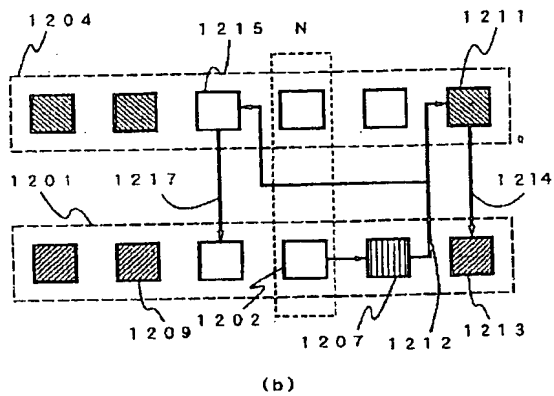
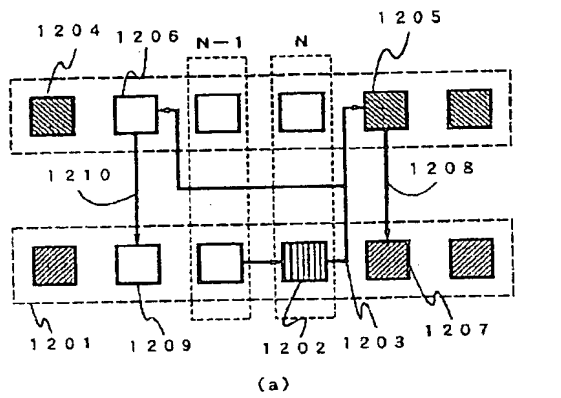
【図10】



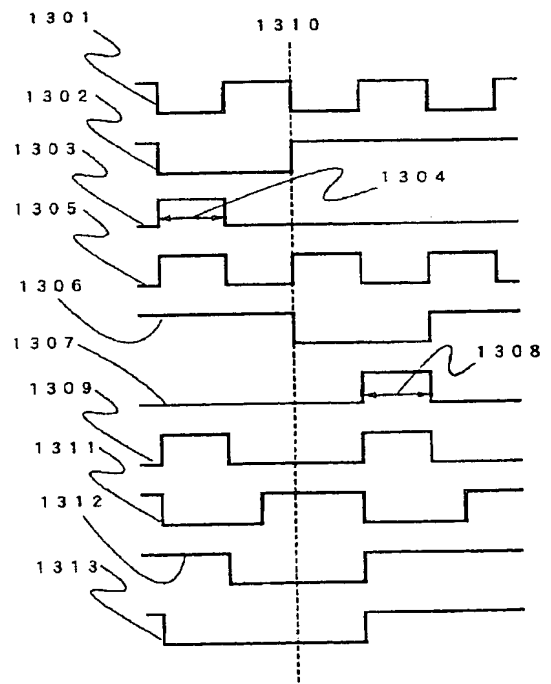
【図11】



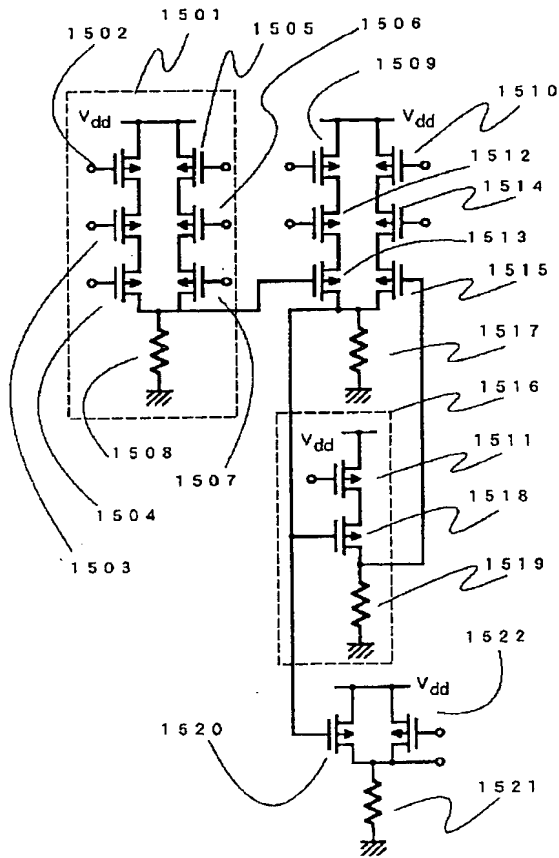
【図12】



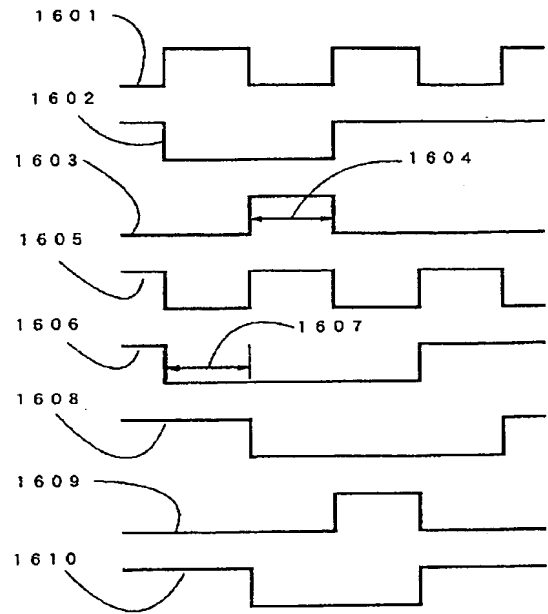
【図13】



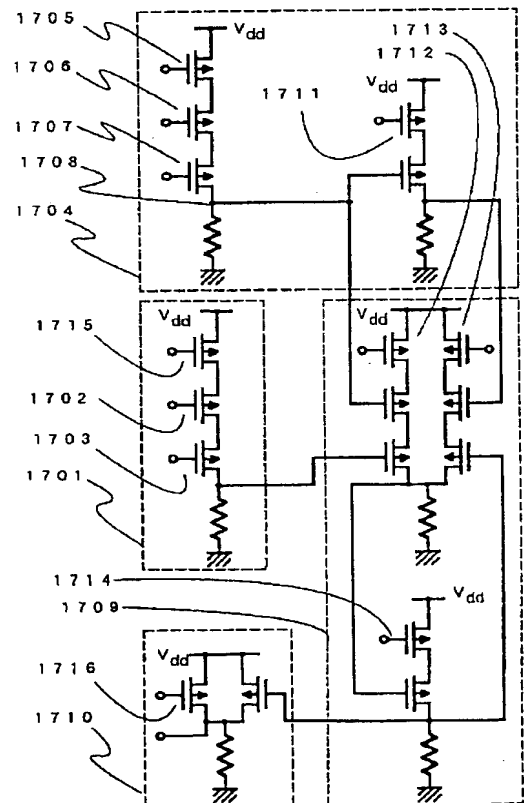
【図15】



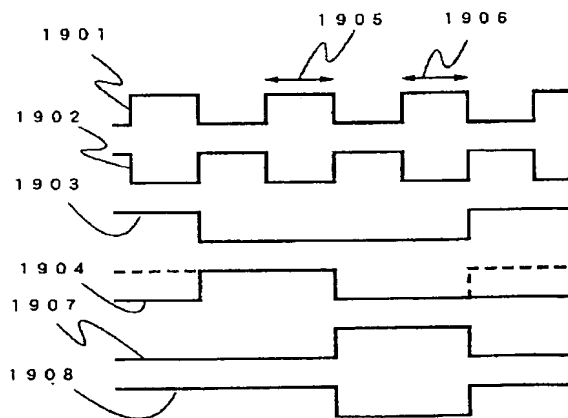
【図16】



【図17】

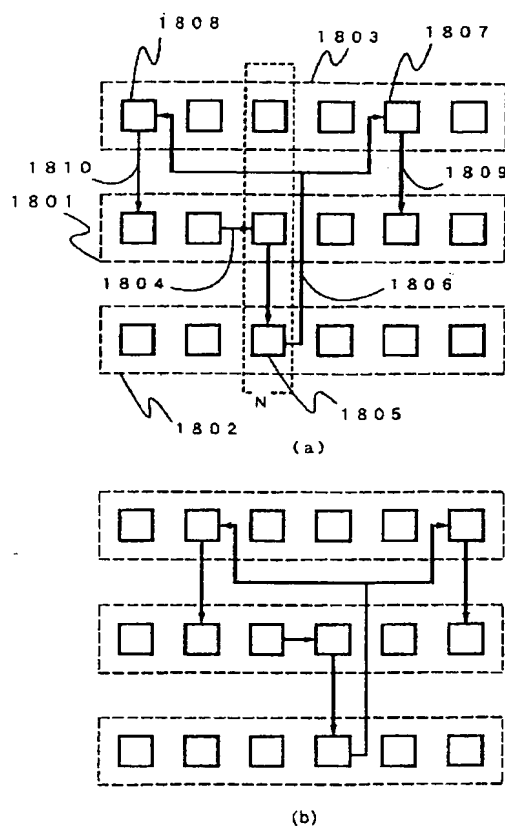


【図19】

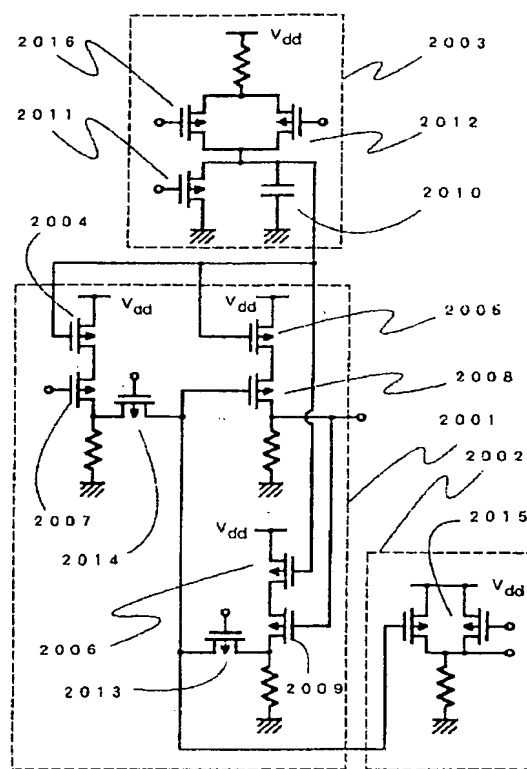




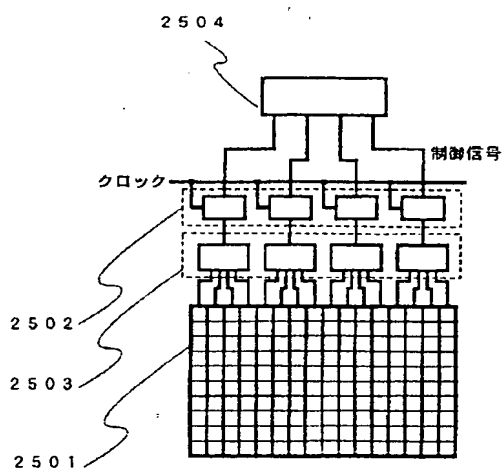
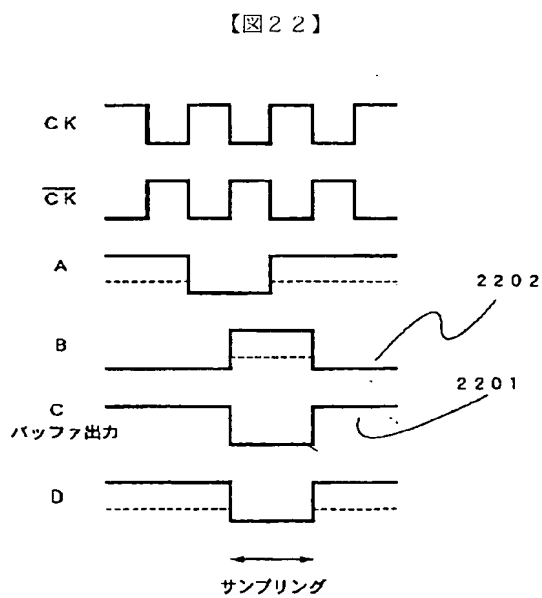
【図18】



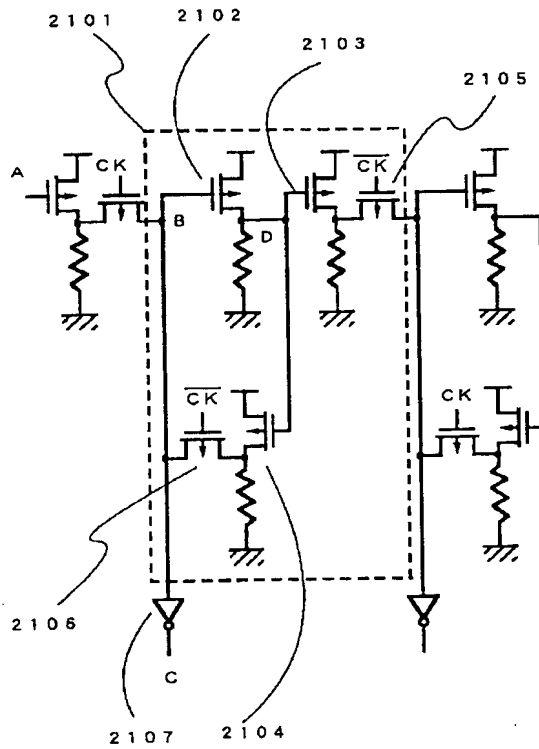
【図20】



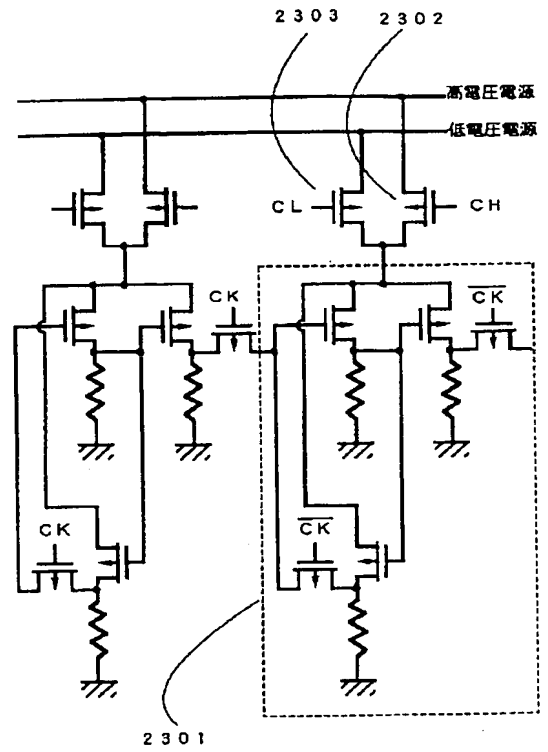
【図25】



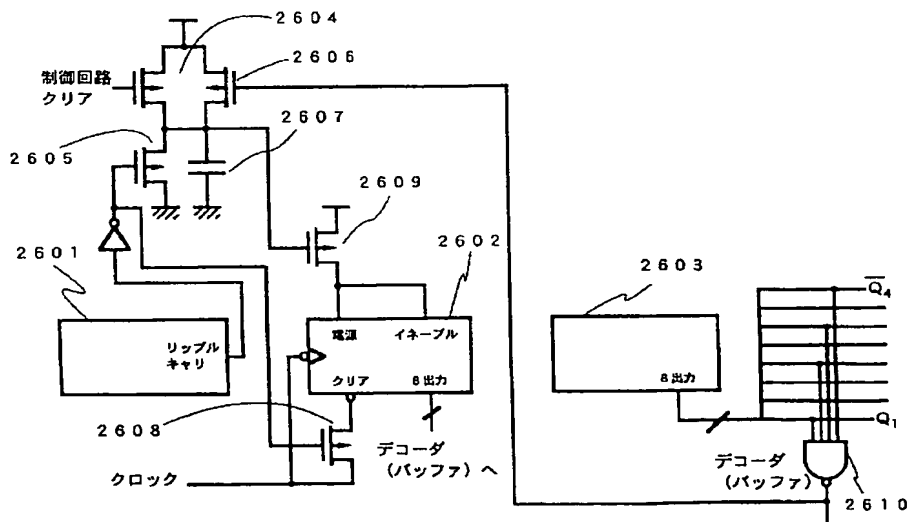
【図 21】



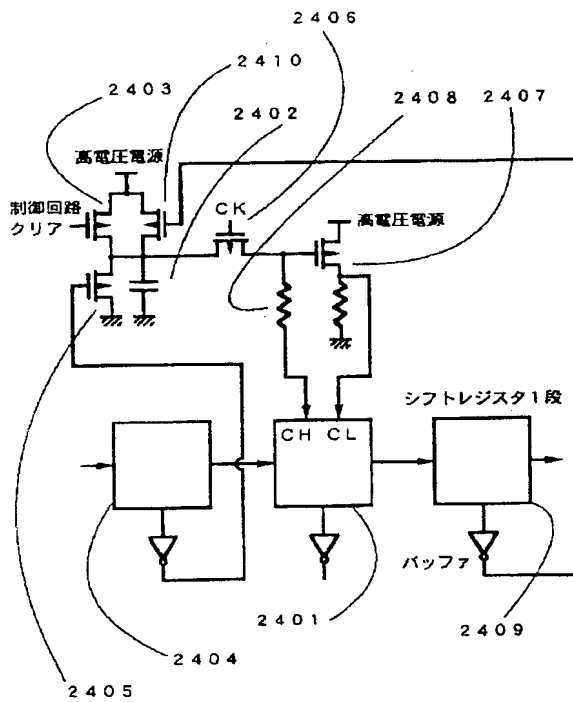
【図 23】



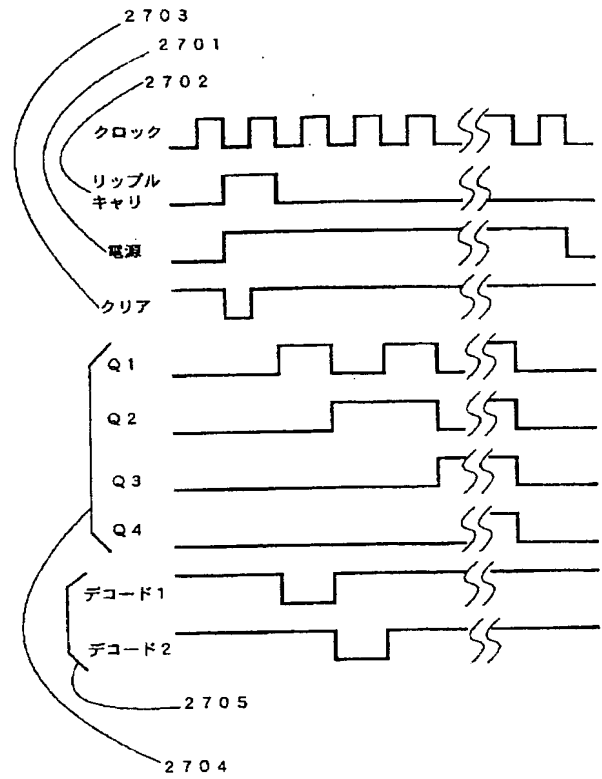
【図 26】



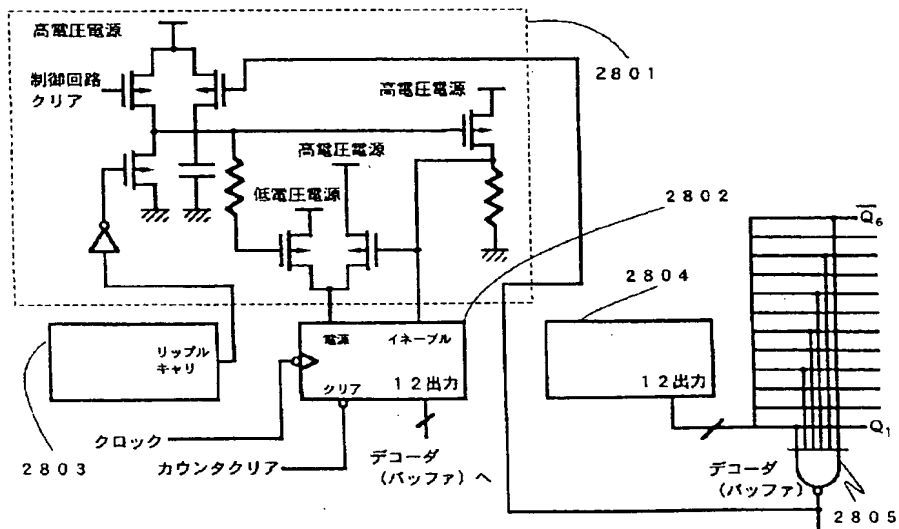
【図 24】



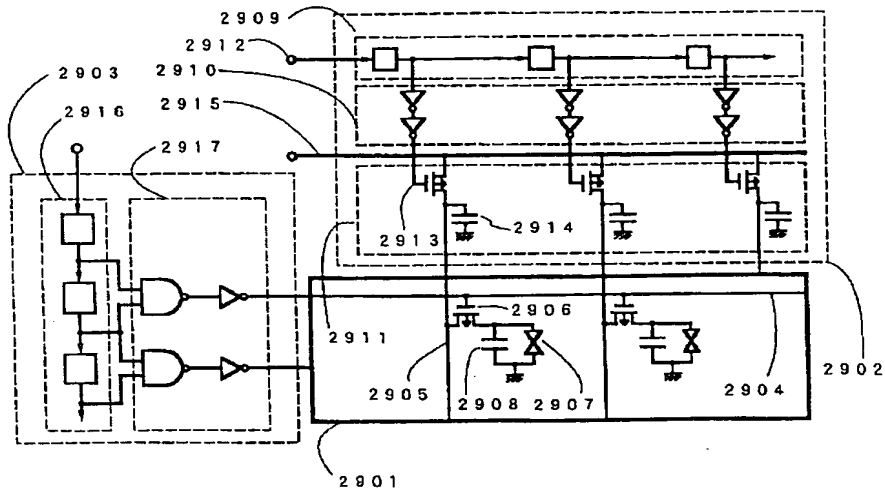
【図 27】



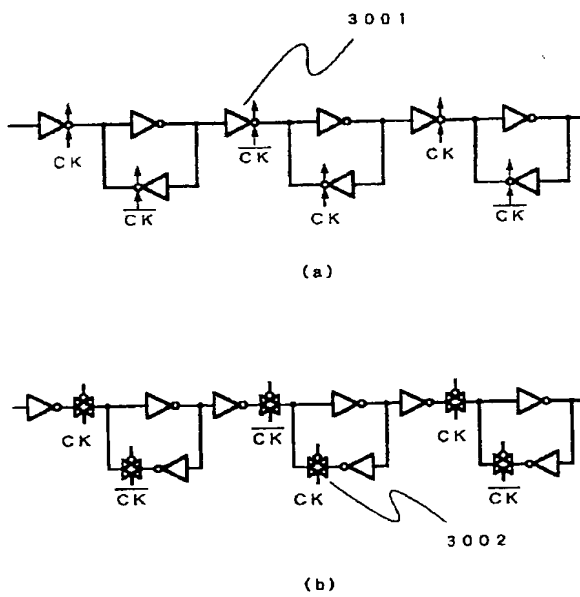
【図 28】



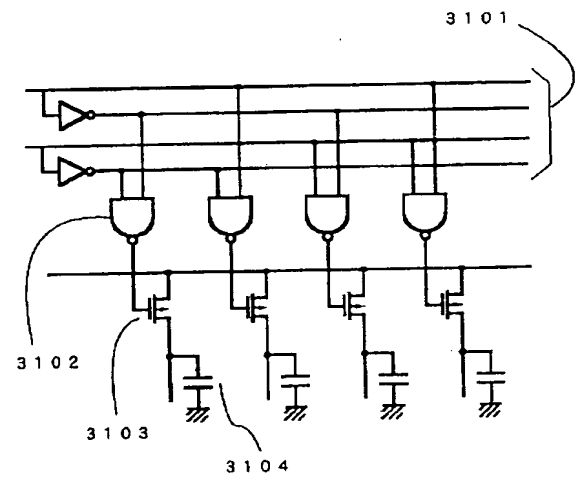
【図29】



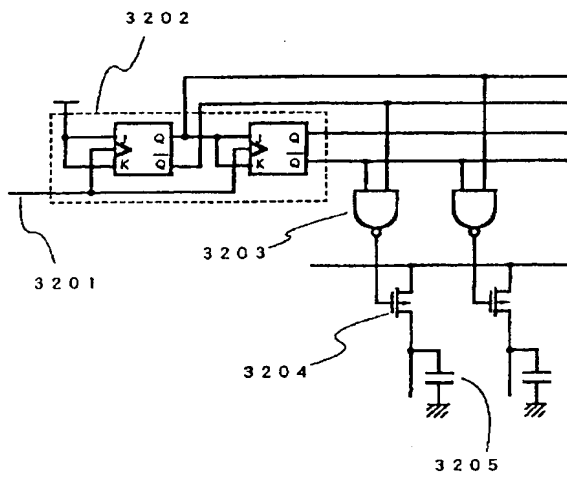
【図30】



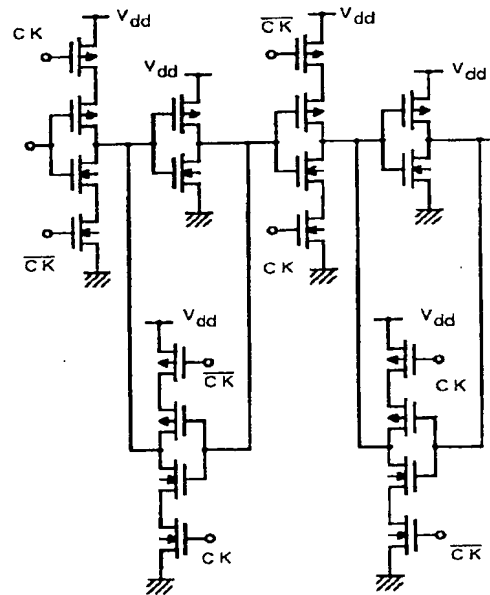
【図31】



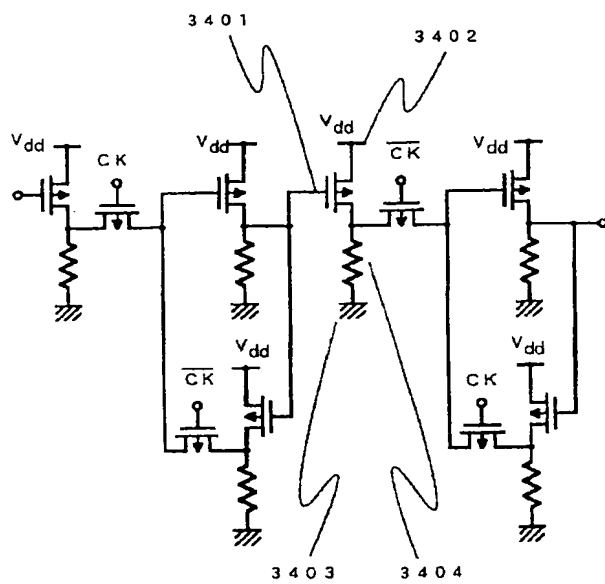
【図 3 2】



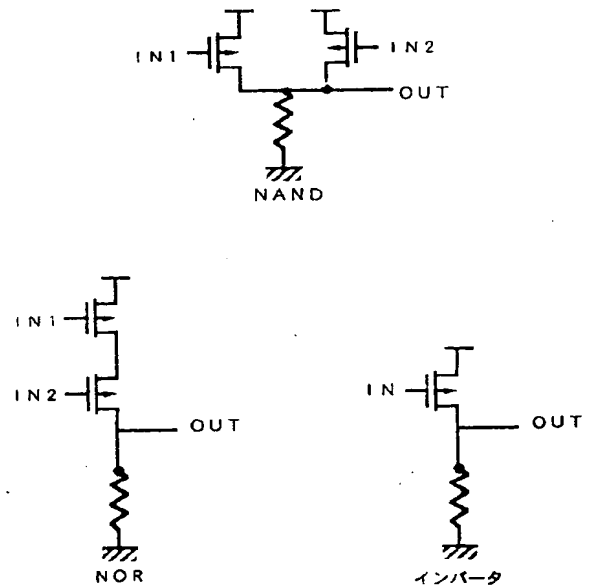
【図 3 3】



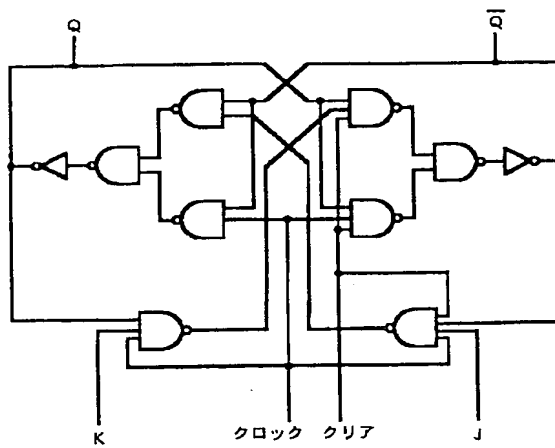
【図 3 4】



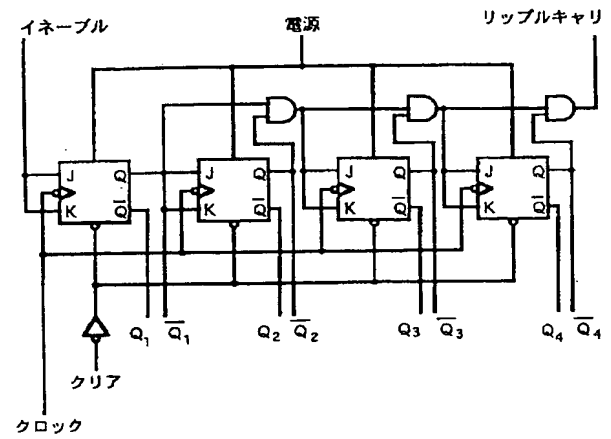
【図 3 5】



【図 36】



【図 37】



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H01L 21/336

識別記号 庁内整理番号

F I

技術表示箇所